

Spartan および Spartan-XL ファミリ フィールド プログラマブル ゲートアレイ

製品概要

はじめに	1
Spartan シリーズの特長	1
概要	2
ロジックの機能説明	3
コンフィギャブル ロジック ブロック (CLB)	3
ファンクション ジェネレータ	3
フリップフロップ	4
CLB 信号フローコントロール	4
入出力ブロック (IOB)	5
IOB 入力信号パス	6
IOB 出力信号パス	7
配線チャンネルの説明	8
CLB 配線チャンネル	9
グローバル ネットおよびバッファ	10
新機能の説明	11
分散型 RAM	11
メモリ構成の概要	11
高速キャリ ロジック	14
スリーステート ロングラインドライバ	16
スリーステート バッファの例	16
オンチップ発振器	17
グローバル信号 : GSR および GTS	17
グローバル セット / リセット	17
バウンダリ スキャン	17
データ レジスタ	18
インストラクション セット	18
ビット シーケンス	19
回路図でのバウンダリ スキャンの指定	19
バウンダリ スキャン誤起動の防止	19
コンフィギュレーションおよびテスト	20
コンフィギュレーション モードの制御	20
マスタ シリアル モード	20
スレーブ シリアル モード	21
シリアル ディジー チェーン	21
CCLK 周波数の設定	22
データストリームのフォーマット	22
コンフィギュレーションとリードバックに対するCRCチェック	23

コンフィギュレーション シーケンス	24
コンフィギュレーション メモリのクリア	24
初期化	25
コンフィギュレーション	25
パワーアップ後のコンフィギュレーションの遅延	25
バウンダリ スキャン ピンを使用するコンフィギュレーション	25
リードバック	26
リードバックのオプション	26
リードバック クロックの High 時間と Low 時間の最大値仕様に対する違反	26
XChecker ケーブルを使用するリードバック	27
Spartan プログラム リードバック スイッチング特性のガイドライン	27
製品仕様	
ピンの説明	31
Spartan の電気的特性とスイッチング特性	34
用語の定義	34
Spartan の絶対最大定格	34
Spartan の推奨動作条件	34
動作条件での Spartan の DC 特性	35
Spartan グローバル バッファのスイッチング特性ガイドライン	36
Spartan 水平ロングラインのスイッチング特性ガイドライン	36
Spartan CLBのスイッチング特性ガイドライン	37
Spartan CLB シンクロナスRAM(エッジトリガ)の書き込み動作ガイドライン	38
Spartan CLB シンクロナスRAM(エッジトリガ)の書き込み動作ガイドライン(続き)	39
Spartan CLB シンクロナスRAM(エッジトリガ)の書き込みタイミング	40
Spartan CLB デュアル ポート シンクロナスRAM(エッジトリガ)の書き込みタイミング	40
Spartan の入力および出力パラメータ (Pin-to-Pin, TTL I/O)	41
Spartan IOB 入力スイッチング特性ガイドライン	42
Spartan IOB 出力スイッチング特性ガイドライン	43
Spartan-XL の電気的特性	44
用語の定義	44
Spartan-XL の絶対最大定格	44
Spartan-XL の推奨動作条件	44
推奨動作条件での Spartan-XL の DC 特性	45
Spartan-XL の入力および出力パラメータ (Pin-to-Pin)	46
ピン配置表	47
XCS05 デバイスおよび XCS05XL デバイスのピン配置	47
XCS10 デバイスおよび XCS10XL デバイスのピン配置	48
XCS20 デバイスおよび XCS20XL デバイスのピン配置	49
その他の XCS10/XL パッケージ ピン	49
XCS30 デバイスおよび XCS30XL デバイスのピン配置	51
その他の XCS20/XL パッケージ ピン	51
XCS40 デバイスおよび XCS40XL デバイスのピン配置	53
その他の XCS30/XL パッケージ ピン	53
その他の XCS40/XL パッケージ ピン	56
ユーザI/O数	57
注文コード様式	58



製品概要

はじめに	1
Spartan シリーズの特長	1
概要	2
ロジックの機能説明	3
新機能の説明	11
コンフィギュレーションおよびテスト	20

はじめに

Spartan™シリーズは、4000ゲートまでのASICの置き換えに必要な主要条件をすべて満たす最初の量産用 FPGA ソリューションです。この置き換え条件には、高性能、オンチップ RAM、Core ソリューション、さらに量産価格がマスク プログラム型の ASIC デバイスに接近し、多くの場合に価格が同等となることなどの条件が含まれます。

Spartan シリーズは、ザイリンクスのFPGA デザインにおける13年以上もの経験と何千ものお客様からのフィードバックにより実現したものです。Spartan シリーズはSpartan の機能を最適化し、先新のハイブリッドプロセス技術を駆使し、トータルコストのマネジメントに注力した結果、ASIC およびその他の量産論理回路ユーザが要求する重要な機能を提供でき、それと同時に初期コストと長い開発サイクルを不要にし、さらに従来型ASICに固有のリスクをなくすことを可能にしています。

Spartan シリーズには、現在、10タイプのデバイスがあります(表1)。

Spartan シリーズの特長

注：このデータシートに記載するSpartan シリーズデバイスには、5V 動作のSpartan™ファミリと3.3V動作のSpartan-XL™ファミリが含まれます。

- オンチップ RAM を搭載する最初のASIC 代替用量産ソリューション
 - 先進の0.35 μm / 0.5 μm の製造プロセス
 - 最大1,862個のロジックセル数システムゲート数4万の集積度
 - XC4000アーキテクチャをベースにして機能を合理化
 - 80MHz以上のシステムパフォーマンス
 - AllianceCOREとLogiCORE™ソリューションの広範囲なセットが使用可能
 - 無制限に再プログラム可能

- システムレベルの機能
 - 5.0Vバージョンと3.3Vバージョンを供給
 - オンチップ Select-RAM™メモリ
 - PCI標準に完全準拠
 - 低消費電力のセグメント型配線アーキテクチャ
 - 書き込み検証と内部ノードの監視を可能にするリードバック機能
 - 専用高速キャロロジック
 - 内部スリーステートバス機能
 - 8個のグローバル低スキュークロックまたは信号分配ネットワーク
 - IEEE 1149.1 準拠のパウンダリスキャンロジックをサポート
- 多機能なI/Oおよびパッケージ
 - 全デバイスが低価格のプラスチックパッケージを使用
 - SpartanとSpartan-XL デバイスのパッケージ間でフットプリント互換
 - プログラマブル出力スレーブレートコントロールにより性能を最大化しノイズを低減
 - ホールドタイム0.0nsの入力抵抗によりシステムタイミングを簡略化
 - 1出力当たり12mAのシンク電流
- 強力なザイリンクス開発システムによるフルサポート
 - Foundation シリーズ：フルに統合化された標準版ソフトウェア
 - Alliance シリーズ：PC/EWSベースの百社以上のサードパーティ開発システムをサポート
 - 完全に自動化されたマッピング、配置・配線機能
 - デザイン最適化用対話型デザインエディタ

表1：Spartan と Spartan-XL シリーズのフィールド プログラマブルゲートアレイ

Device	Logic Cells	Max System Gates	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. Available User I/O
XC505 & XC505XL	238	5,000	2,000 - 5,000	10 x 10	100	360	77
XC510 & XC510XL	466	10,000	3,000 - 10,000	14 x 14	196	616	112
XC520 & XC520XL	950	20,000	7,000 - 20,000	20 x 20	400	1,120	160
XC530 & XC530XL	1368	30,000	10,000 - 30,000	24 x 24	576	1,536	192
XC540 & XC540XL	1862	40,000	13,000 - 40,000	28 x 28	784	2,016	205

* この Typical Gate Range の最大値には、20% ~ 30%のRAMとして使用されるCLBが含まれます。

概要

Spartan シリーズ FPGA は、柔軟性のある配線リソース (配線チャンネル) の強力な階層構造により内部接続されたコンフィギュラブル ロジック ブロック (CLB) の規則的でプログラマブルなアーキテクチャから構成されており、プログラマブルな入出力ブロック (IOB) によりその周囲が取り囲まれています (図 1)。これらは、汎用的な配線リソースを持っており、複雑な内部接続パターンにも対応できるようになっています。

デバイスは、コンフィギュレーション データを内部のスタティック メモリセルに書き込むことによりカスタマイズされます。回数に制限なく再書き込みも行うことができます。これらのメモリ内に記憶されているデータが、FPGA 内にインプリメントされるロジック機能と内部接続を決定しています。FPGA が自ら内部に書き込むコンフィギュレーション データを外付けのシリアル PROM から読み出すことができます (マスター シリアル モード)。あるいは、外付けのデバイスからコンフィギュレーション データを FPGA へ書き込むこともできます (スレーブ シリアル モード)。

Spartan FPGA は、異なるユーザ アプリケーションに適応可能なハードウェアとして使用することができます。FPGA は、デザインと開発のサイクルを短縮する際には理想的です。さらに、月産 5 万システム以上の量産生産に対しても経済的なソリューションを提供します。

Spartan シリーズのデバイスは、最新のアーキテクチャと半導体技術を採用することにより、高性能かつ ASIC レベルの低価格を実現しています。Spartan および Spartan-XL では、80MHz 以上のシステム クロックと 150MHz 以上の内部性能を提供します。他の FPGA デバイスと比較すると、Spartan は最も経済的なソリューションを提供し、同時に最も高速な性能を維持しています。Spartan は量産型プログラマブル ロジック ソリューションの従来からの利点に加えて、オンチップ エッジトリガのシングルポート RAM、オンチップ エッジトリガのデュアルポート RAM、全フリップフロップでのクロック イネーブル、高速キャリロジック、その他の多くの機能も提供します。

Spartan シリーズでは、XC4000 の実績あるアーキテクチャを継承し、また XC4000 ファミリーの機能と利点の多くも利用しています。先進の製造技術は、XC4000XL と XC4000XV の製造プロセスの開発から得られたものです。

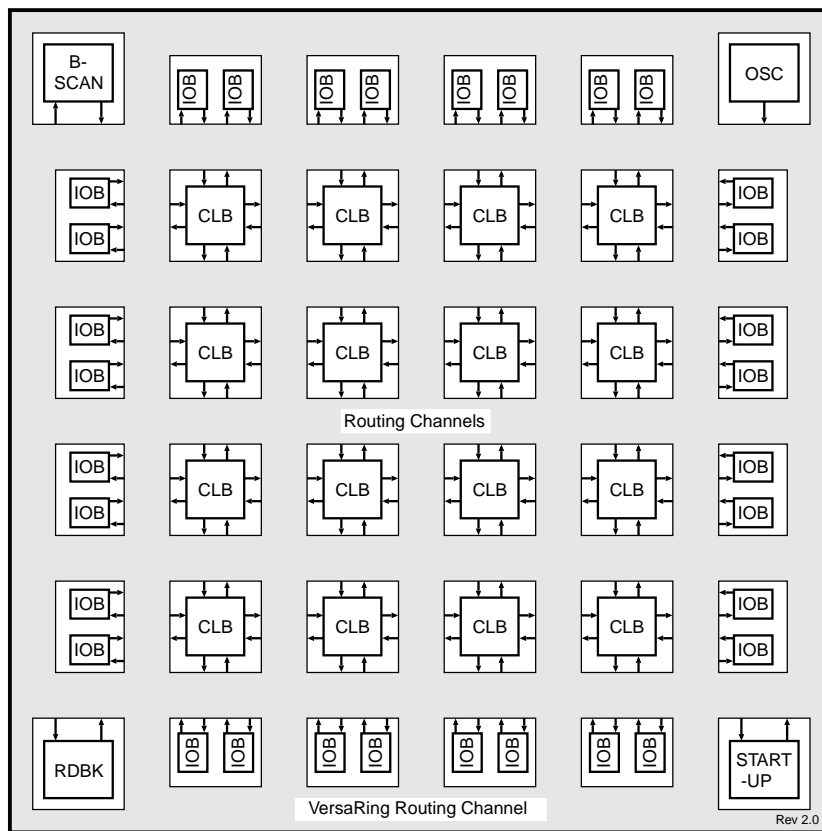


図 1 FPGA の基本ブロック図

ロジックの機能説明

Spartan シリーズでは、図 1 に示すような標準的な FPGA 構造を採用しています。FPGA は、配線チャンネルのマトリクス内に配置されたコンフィギャブルロジックブロック (CLB) のアレイで構成されています。信号の入出力は、これらの CLB をリング状に取り囲んでいる入出力ブロック (IOB) と配線チャンネルを通して行われます。

- CLB はユーザのロジックをインプリメントするための機能的エレメントを提供します。
- IOB はパッケージピンと内部信号ラインの間のインターフェイスを提供します。
- 配線チャンネルは、CLB と IOB の入出力を内部接続するパスを提供します。

各回路ブロックの機能は、コンフィギュレーション時に内部スタティックメモリスルをプログラムすることによりカスタマイズされます。これらのメモリスルに保持されている値により、FPGA にインプリメントされるロジック機能と内部接続が決定されます。

コンフィギャブルロジックブロック (CLB)

CLB は、FPGA 内で大部分のロジックをインプリメントする際に使用されます。CLB の基本エレメントを簡略化したブロック図を図 2 に示します。CLB にはルックアップテーブル (LUT) が

3 個用意されており、これらはロジックファンクションジェネレータとして、2 つのフリップフロップとして、または 2 グループの信号切替用マルチプレクサとして使用されます。CLB により提供される幾つかの最新機能もあります。これについては、11 ページの「新機能の説明」に記載してあります。

ファンクションジェネレータ

2 つの 16×1 メモリルックアップテーブル (F-LUT と G-LUT) は、それぞれ 4 入力のファンクションジェネレータとしてインプリメントされます。この各ファンクションジェネレータは、最大 4 本までの独立した入力信号 (F1 ~ F4 または G1 ~ G4) を持つ任意のブール関数の無制限なロジックインプリメンテーションを可能にします。メモリルックアップテーブルの使用により、伝搬遅延はインプリメントされるファンクションに無関係になります。

3 入力ファンクションジェネレータ (H-LUT) は、3 入力の任意のブール関数をインプリメントすることができます。これらの入力の 2 つは、プログラマブルなマルチプレクサにより制御されます (図 2 内でボックス A)。これらの入力は F-LUT 出力または G-LUT 出力、または CLB 入力に接続することができます。もう一つの入力は常に CLB 入力に接続します。したがって、CLB はパリティチェック機能のような最大 9 入力のファンクションをインプリメントすることができます。CLB 内の 3 個の LUT は、5 入力の任意定義のブール関数を実現するために組み合わせることもできます。

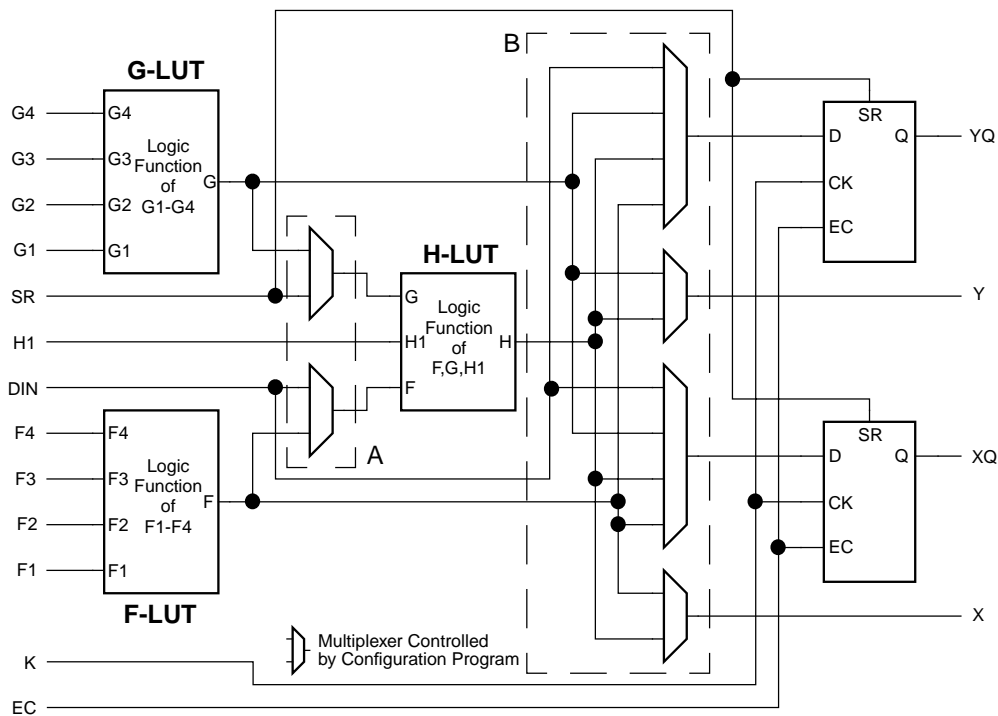


図 2 Spartan の簡略化した CLB のブロック図 (表示されていない機能もあります)

CLB は次の関数をインプリメントすることができます。

- 最大 4 変数の任意関数、さらに最大 4 個の無関係な変数を持つ 2 つ目の任意関数と最大 3 個の無関係な変数を持つ 3 つ目の任意関数¹
- 5 変数の任意関数
- 4 変数の任意関数、および 6 変数のある種の関数 (複数) の組み合わせ
- 最大 9 変数のある種の関数 (複数)

1 つのブロック内に多入力関数をインプリメントすると、所要ブロック数と信号パスでの遅延を減少させることができ、容量とスピードを増やすことができます。

CLB ファンクション ジェネレータの柔軟性により、システム スピードを大幅に上げることができます。さらに、デザイン ソフトウェア ツールが、各ファンクション ジェネレータを独立に扱うことができます。この柔軟性により、セルの使用率が向上します。


フリップフロップ

各 CLB には 2 個のフリップフロップが含まれており、ファンクション ジェネレータ出力の保持に使うことができます。フリップフロップとファンクション ジェネレータは、独立に使用することもできます (図 2)。CLB 入力の DIN は、2 つのフリップフロップのいずれかに対する直接入力として使うことができます。H1 は少し遅延が増えますが H-LUT を経由していずれかのフリップフロップを駆動することもできます。


2 つのフリップフロップは、共通のクロック (CK)、クロック イネーブル (EC)、セット / リセット (SR) 入力を持っています。内部的に、両フリップフロップはグローバル初期化信号 (GSR) から制御されています。GSR については、17 ページの「グローバル信号 : GSR および GTS」で説明します。

表 2 に、フリップフロップの機能を示します。

表 2 : CLB フリップフロップの機能

Mode	CK	EC	SR	D	Q
Power-Up or GSR	X	X	X	X	SR
Flip-Flop Operation	X	X	1	X	SR
		1*	0*	D	D
	0	X	0*	X	Q
	X	0	0*	X	Q

Legend:

X	Don't care
	立ち上がりエッジ (非反転クロック)
SR	セットまたはリセット時の値、デフォルトはリセット
0*	入力は Low、または未接続 (デフォルト値)
1*	入力は High、または未接続 (デフォルト値)

クロック入力

各フリップフロップは立ち上がり¹または立ち下がり¹エッジでトリガすることができます。CLB クロックラインは、両フリップフロップで共用されていますが、クロックは各フリップフロップに対して個別に反転可能です (図 3 の CK パスを参照)。デザイン内でクロックライン上に配置されたインバータは自動的に CLB に吸収されます。

1. 個別に 3 つの関数を生成する場合は、関数出力の 1 つを CLB 内部のフリップフロップに取り込む必要があります。CLB からは、レジスタを経由しない 2 つのファンクションジェネレータ出力のみが得られます。

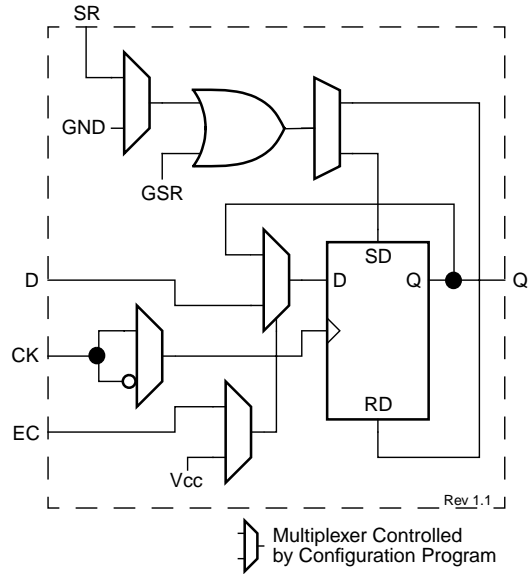


図 3 CLB フリップフロップの機能ブロック図

コンフィギュレーションプログラムにより制御されるマルチプレクサ クロック イネーブル

クロック イネーブルライン (EC) はアクティブ High です。EC ラインは CLB 内の両フリップフロップで共用されています。いずれか一方が未接続の場合は、そのフリップフロップに対するクロック イネーブルはデフォルトとしてアクティブ状態になります。CLB 内では EC は非反転です。このクロック イネーブルは、クロックに対して同期しており、デバイスのセットアップ タイムとホールド タイムの仕様を満たす必要があります。

セット / リセット

セット / リセットライン (SR) は、フリップフロップの非同期アクティブ High のコントロール信号です。各フリップフロップに対して、SR はセットまたはリセットにコンフィギュレーションすることができます。コンフィギュレーション オプションにより、コンフィギュレーション直後に動作状態になる各フリップフロップの状態が決定されます。また、通常動作時の GSR パルスの機能、および CLB の SR ライン上のパルス機能も決定されます。SR ラインは両フリップフロップで共用されています。SR ラインがフリップフロップに対して指定されていない場合は、そのフリップフロップに対するセット / リセットラインはデフォルトとして非アクティブ状態になります。CLB 内では SR は非反転です。

CLB 信号フローコントロール

H-LUT 入力コントロール マルチプレクサ (図 2 のボックス A) に加えて、信号フローコントロール マルチプレクサがあります (図 2 のボックス B)。このマルチプレクサは、フリップフロップ入力と CLB の組み合わせ出力 (X と Y) を駆動する信号を選択します。

各フリップフロップの入力は 4: 1 マルチプレクサから駆動されます。このマルチプレクサは、データソースとして 3 つの LUT 出力と DIN の中から選択します。

各組み合わせ出力は、2: 1 マルチプレクサから駆動されます。このマルチプレクサは 2 つの LUT 出力の中から選択します。X 出力は F-LUT または H-LUT の出力で駆動することができます。Y 出力は G-LUT または H-LUT の出力で駆動することができます。

コントロール信号

CLB の入力には、4 個の信号コントロール マルチプレクサがあります。これらのマルチプレクサにより、内部の CLB コントロール信号 (図 2 と図 4 に示す H1、DIN、SR、EC) が CLB に対する 4 本の汎用コントロール入力 (図 4 に示す C1 ~ C4) のいずれからも駆動することができます。これら任意の入力が、4 本の内部コントロール信号のいずれをも駆動することができます。

4 本の内部コントロール信号を次に示します。

- EC イネーブルクロック
- SR 非同期のセット / リセット、または H ファンクションジェネレータの入力
- DIN 直接入力、または H ファンクションジェネレータの入力
- H1 H ファンクションジェネレータの入力 1

入出力ブロック (IOB)

ユーザ・コンフィギャブルな入出力ブロック (IOB) は、外部パッケージピンと内部ロジックとの間のインターフェイスを提供します。

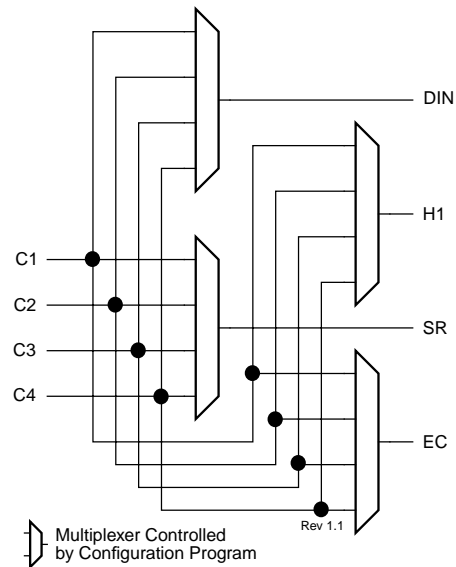


図 4 : CLB コントロール信号

各 IOB は 1 本のパッケージピンを制御し、入力信号、出力信号、または双方向信号としてコンフィギュレーションできます。図 5 に、Spartan IOB の簡略化したブロック図を示します。

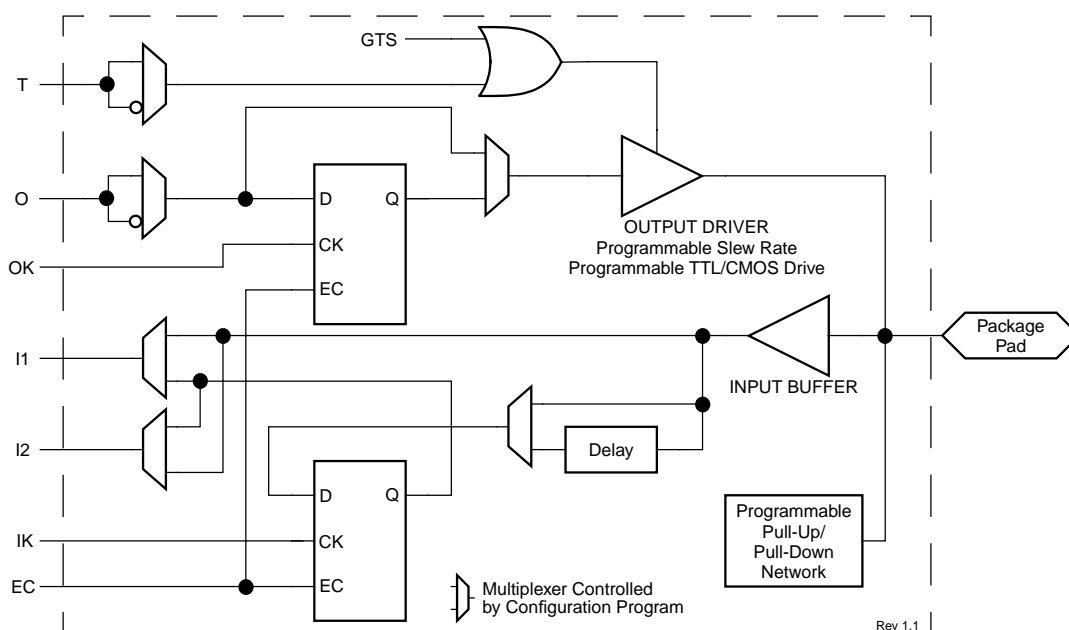


図 5 簡略化した Spartan IOB のブロック図

IOB 入力信号パス

IOB に対する入力信号は、直接配線チャンネルに接続するか (図 5 の I1 と I2 を経由して)、または入力レジスタに接続するようにコンフィギュレーションすることができます。入力レジスタは、エッジトリガのフリップフロップまたはレベル センシティブなフリップフロップにプログラムすることができます。表 3 に、このレジスタの機能を示します。

表 3 : 入力レジスタの機能

Mode	CK	EC	D	Q
Power-Up or GSR	X	X	X	SR
Flip-Flop		1*	D	D
	0	X	X	Q
Latch	1	1*	X	Q
	0	1*	D	D
Both	X	0	X	Q

Legend:

X	Don't care
	立ち上がりエッジ (非反転クロック)
SR	セットまたはリセット時の値、デフォルトはリセット
0*	入力は Low、または未接続 (デフォルト値)
1*	入力は High、または未接続 (デフォルト値)

また、このレジスタの簡略化したブロック図を図 6 に示します。

レジスタ選択の指定は該当するライブラリシンボルを配置することにより行われます。例えば、IFD は基本入力フリップフロップ (立ち上がりエッジトリガ) で、IDL は基本入力ラッチ (トランスペアレント High) です。反転クロックを使う派生も使用することができます。図 6 に示す CK ライン上には、クロック信号のインバータも示しております。

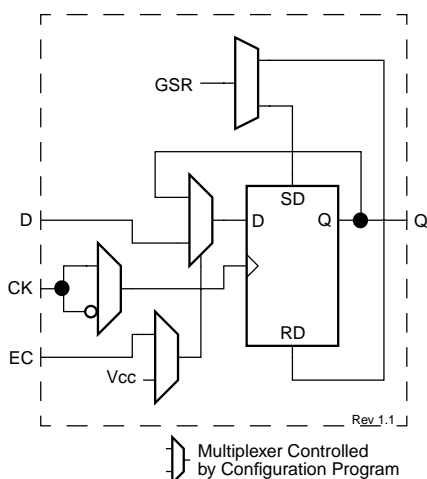


図 6 : IOB フリップフロップの機能ブロック図

Spartan の IOB データ入力バスには、遅延の挿入有り (デフォルト) または無しを指定できる 1 タップの遅延エレメントがあります。この遅延を追加すると、Spartan の任意のグローバルバッファに配線されているクロックに対するゼロ ホールド タイムを保証することができます (Spartan のグローバルクロック バッファについては 10 ページの「グローバル ネットおよびバッファ」を参照してください)。正のホールド タイムを持つ短い入力レジスタのセットアップ・タイムに対しては、フリップフロップに対して NODELAY 属性またはプロパティを指定してください。

入力レジスタの出力は、配線チャンネルに接続されます (図 5 の I1 と I2 を経由)。IOB から出力される I1 と I2 の信号は、それぞれ直接入力信号またはレジスタ入力信号を伝えることができます。

Spartan の入力バッファは、ビットストリーム生成ソフトウェアのオプションを使用して、TTL (1.2V) または CMOS (0.5V_{VCC}) のスレッシュホールドにグローバルに設定することができます。Spartan 入力が TTL モードの場合は、Spartan デバイスの入力は 3.3V デバイスの出力で駆動することができます。約 300mV の小さい入力ヒステリシスが用意されています。Spartan-XL の入力は TTL 互換でありさらに 3.3V の CMOS とも互換性があります。Spartan の出力も設定可能であり、入力スレッシュホールドの 2 つのグローバルな調整と出力レベルは独立に設定することができます。

表 4 に、Spartan シリーズ デバイスの入力を駆動できるサポート中の信号源を示します。

表 4 : Spartan シリーズ デバイスの入力を駆動できるサポート中の信号源

Source	Spartan Inputs		Spartan-XL Inputs
	5.0 V, TTL	5.0 V, CMOS	3.3 V CMOS
Any device, V _{CC} = 3.3 V, CMOS outputs	√		√
Spartan Series, V _{CC} = 5 V, TTL outputs	√	Unreliable Data	√
Any device, V _{CC} = 5 V, TTL outputs (V _{OH} ≤ 3.7 V)	√		√
Any device, V _{CC} = 5 V, CMOS outputs	√	√	√

Spartan-XL の I/O は、V_{CC} が 3.3V の場合でもフルに 5V に対応できます。表 4 に示すように、この機能により損傷を与えることなく、5V の信号が Spartan-XL の入力を直接駆動することができます。さらに、5V の信号が I/O に加えられる前後に、3.3V の V_{CC} を加えることができます。この機能により、Spartan-XL では電源供給シーケンスの問題から解放されています。

IOB 出力信号パス

出力信号は IOB 内部で反転することができます。また、出力バッファに直接接続するか、あるいはエッジトリガのフリップフロップに保持した後に出力バッファに渡すことができます。このフリップフロップの機能を表 5 に示します。

表 5：出力フリップフロップの機能

Mode	Clock	Clock Enable	T	D	Q
Power-Up or GSR	X	X	0*	X	SR
Flip-Flop	X	0	0*	X	Q
		1*	0*	D	D
	X	X	1	X	Z
	0	X	0*	X	Q

Legend:

X

SR

0*

1*

Z

Don't care
立ち上がりエッジ (非反転クロック)
セットまたはリセット時の値、デフォルトはリセット
0* 入力 Low、または未接続 (デフォルト値)
1* 入力 High、または未接続 (デフォルト値)
Z スリーステート

出力バッファ

アクティブ High のスリーステート信号を使って、スリーステート出力または双方向性の I/O をインプリメントし、出力バッファをハイインピーダンス状態にすることができます。コンフィギュレーションコントロールの下で、出力信号 (O) および出力スリーステート信号 (T) を反転することができます。これらの信号の極性は、各 IOB に対して独立に設定することができます (図 5)。デフォルトとして、Spartan 出力バッファのプルアップ構成は、TTL に似たトータムポールにコンフィギュレーションされます。High 側のドライバは n チャンネルのプルアップトランジスタであり、Vcc より 1 トランジスタ スレッシュホールド低い電圧にプルアップします。この代わりに、Vcc にプルアップする p チャンネルプルアップトランジスタを追加して、グローバルに出力を CMOS ドライバにコンフィギュレーションすることもできます。ビットストリーム生成ソフトウェアを使って適用されたこのオプションは、デバイスの全出力に適用されます。これは個別にプログラムすることはできません。

Spartan-XL では、全出力が CMOS ドライバとしてコンフィギュレーションされます。したがって、電源電圧とグラウンド間一杯のドライブが可能で

出力が TTL モードにコンフィギュレーションされた任意の Spartan デバイスが代表値 3.3V デバイスの入力を駆動することができます (5.0V デバイスと 3.3V デバイスの間のインターフェイス方法の詳細については、「プログラマブルロジック データブック 1998 (英文)」の 3V 製品の節を参照してください)。

表 6 に、Spartan シリーズ デバイスの出力が駆動可能な対象を示します。

出力スルー レート

デフォルトとして、各出力バッファのスルー レートを小さくして、非クリティカル信号のスイッチングによる電力バスタージエントを最小化しています。クリティカルな信号に対しては、FAST 属性またはプロパティを出力バッファまたは出力フリップフロップに指定します。

表 6：Spartan シリーズ デバイスの出力が駆動可能な対象

Destination	Spartan-XL Outputs	Spartan Outputs	
	3.3 V, CMOS	5.0 V, TTL	5.0 V, CMOS
Any device, Vcc = 3.3 V, CMOS-threshold inputs	√	√	some ¹
Any device, Vcc = 5.0 V, TTL-threshold inputs	√	√	√
Any device, Vcc = 5 V, CMOS-threshold inputs	Unreliable Data		√

1. 対象デバイスが 5V 入力に対応している場合に限りです。

Spartan シリーズ デバイスには、「ソフト スタートアップ」と呼ばれる機能があります。この機能は、コンフィギュレーション終了時点で全出力が同時にターンオンするときのグラウンド バウンスを減少させるようにデザインされています。コンフィギュレーションプロセスが終了すると、デバイスがスタートアップし、出力に対する最初の起動は自動的にスルー レート制限で実行されます。I/O の最初の起動直後は、各出力のスルー レートは、各 IOB に対する個々のコンフィギュレーション オプションにより決定されます。

プルアップ抵抗とプルダウン抵抗

プログラマブルなプルアップ抵抗とプルダウン抵抗は、未使用ピンを Vcc またはグラウンドに接続して、消費電力を最小化し、ノイズ感度を減少させる際に使用されます。コンフィギュラブル プルアップ抵抗は p チャンネルトランジスタであり、Vcc にプルアップします。コンフィギュラブル プルダウン抵抗は n チャンネルトランジスタであり、グラウンドにプルダウンします。これらの抵抗値は 20K ~ 250K 位です。この大きな抵抗値はワイヤード AND プルアップ抵抗としては適しません。

コンフィギュレーション後、ノイズ感度を小さくし余分な電流を回避するために、ボンディングの有無によらず未使用パッドの電圧レベルは有効なロジックレベルである必要があります。したがって、デフォルトとして、未使用パッドは内部プルアップ抵抗をアクティブにしてコンフィギュレーションされます。代わりに、プルダウン抵抗を持つ、出力を駆動する、または外部ソースから駆動されるように個別にコンフィギュレーションすることもできます。内部プルアップを有効にするときは、PULLUP ライブラリコンポーネントをパッドに付けられたネットに指定します。内部プルダウンを有効にするときは、PULLDOWN ライブラリコンポーネントをパッドに付けられたネットに指定します。

セット / リセット

CLB レジスタの場合と同様に、GSR 信号を使用して、入力レジスタと出力レジスタを INIT 属性またはプロパティの値に応じて、セットまたはクリアすることができます。2 個のフリップフロップは、リセット時とコンフィギュレーション後に、セットまたはクリアするように個別にコンフィギュレーションすることができます。グローバル GSR ネット以外に、I/O フリップフロップに対するユーザ制御のセット / リセット信号はありません (図 6 参照)。セットまたはクリアの選択は、フリップフロップの初期状態と GSR パルスに対する応答の両方に適用されます。

独立したクロック

入力フリップフロップ (IK) と出力フリップフロップ (OK) に対しては、別々のクロック信号が用意されています。クロックは IOB 内の各フリップフロップに対して独立に反転可能で、立ち下がりがエッジまたは立ち上がりエッジトリガのフリップフロップを生成することができます。各 IOB に対するクロック入力独立しています。

共通クロック イネーブル

各 IOB 内の入力フリップフロップおよび出力フリップフロップには、共通のクロック イネーブル入力 (EC) があります。このクロック イネーブルは、コンフィギュレーション時に、入力または出力フリップフロップあるいは両フリップフロップを個々に起動することができます (図 6 の EC 信号を参照)。このクロック イネーブルは、Spartan シリーズ CLB の EC ピンとまったく同じ動作をします。この信号は、IOB 内部で反転することはできません。

配線チャンネルの説明

すべての内部接続は、プログラマブルなスイッチングポイントを持つメタル セグメントと所望の配線をインプリメントするスイッチングマトリクスから構成されます。配線チャンネルの構造化された階層マトリクスが用意されており、効率良い自動配線が達成できます。この節では Spartan シリーズ デバイスで使用できる種々の配線チャンネルについて説明します。図 7 に、CLB 配線チャンネルの一般的なブロック図を示します。インプリメンテーションソフトウェアは、デザイン集積度とタイミング条件に応じて、該当するリソースを自動的に割り当てます。配線チャンネルについての以下の説明は説明用のものであり、細部は省略してあります。詳細な内部接続の説明については、EPIC デザイン エディタ内でデザインをオープンして、このツール内で実際の配線を調べる必要があります。

配線チャンネルは次のように説明します。

- CLB 配線チャンネルは、CLB アレイの各行または各列に沿って配置されています。
- IOB 配線チャンネルは、CLB アレイの外側にリング (VersaRing と呼ぶ) を形成し、I/O と内部ロジックブロックを接続します。
- グローバル配線は、専用ネットワークから構成されます。この専用ネットワークは、基本的には、最小の遅延とスキューでデバイス内にクロックを分配するためにデザインされています。グローバル配線は、ファンアウト数の多い他の信号にも使用することができます。

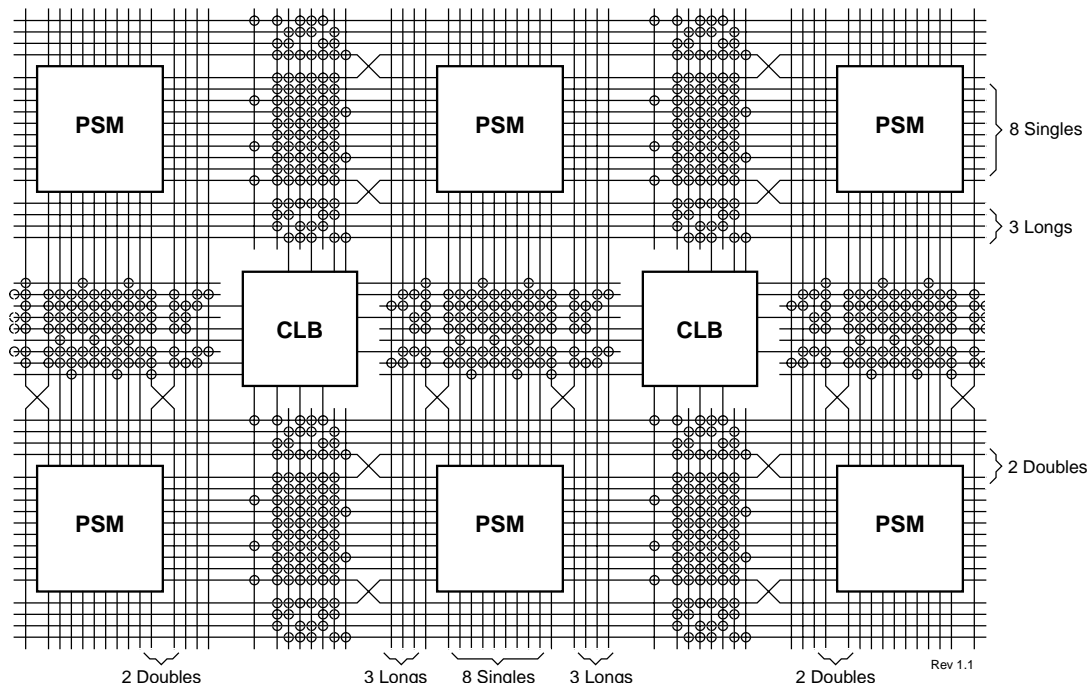


図 7 : Spartan シリーズの CLB 配線チャンネルとインターフェイスのブロック図

CLB 配線チャンネル

CLB を取り囲む配線チャンネルは、シングルレンクスライン、ダブルレンクスライン、ロングラインの 3 種類の内部接続により駆動されます。垂直配線チャンネルと水平配線チャンネルの各交点には、プログラマブル スイッチ マトリクス (PSM) と呼ばれる信号切換マトリクスが配置されています。図 7 に、基本的な配線チャンネルの構成を示します。この図には、シングルレンクスライン、ダブルレンクスライン、ロングラインの他に CLB と PSM も表示しております。また、CLB と配線チャンネルの間のインターフェイス、およびチャンネルの交点における PSM のインターフェイス方法も示しております。

CLB インターフェイス

図 8 に、CLB インターフェイス信号のブロック図を示します。

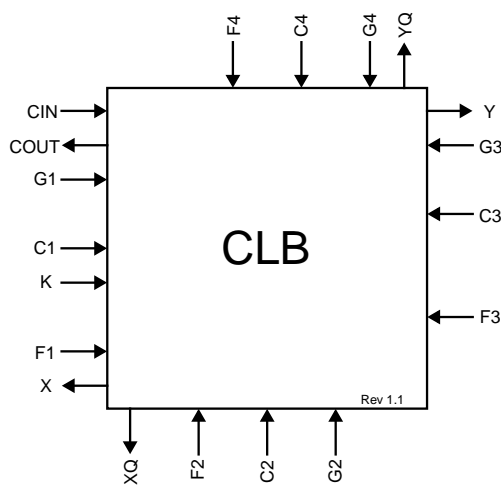


図 8 : CLB 内部接続信号

CLB の入力と出力は 4 方向に分散されており、配線の柔軟性を最大化するようになっています。一般に、アーキテクチャ全体は対称的かつ規則的で、配置 / 配線アルゴリズムに適するようになっています。入力、出力、ファンクション ジェネレータは、配置 / 配線の動作中に配線競合を回避するために、CLB 内で自由に位置を交換することができるようになっています。ただし、クロック (K) 入力と CIN / COUT 信号は例外です。K 入力は専用のグローバル垂直ラインや 4 本のシングルレンクスラインに接続され、CLB の左側に配置されています。CIN / COUT 信号は一般的な配線構造とインターフェイスを持たない専用内部接続を経由して配線されます。CLB の出力信号は、垂直チャンネルと水平チャンネルの両方を駆動するために使用することができます。

プログラマブル スイッチ マトリクス

水平 / 垂直のシングル / ダブル レンクスラインはプログラマブル スイッチ マトリクス (PSM) と呼ばれるボックスの中で交差します。各 PSM は、ライン間を接続するプログラマブル パストランジスタにより構成されます (図 9)。

例えば、スイッチ マトリクスの右側に入力されるシングルレンクス信号は、複数の分岐が必要な場合、上部、左側、底部、またはこれら任意の組み合わせの位置にあるシングルレンクスラインに配線することができます。同様に、ダブルレンクス信号は、プログラマブル スイッチ マトリクスの任意の辺または他の 3 辺すべての位置にあるダブルレンクスラインに配線することができます。

シングルレンクスライン

シングルレンクスラインは柔軟性の高い内部接続を持ち、隣接ブロック間で高速配線を提供します。各 CLB に対応する垂直および水平のシングルレンクスラインがそれぞれ 8 本ずつ用意されています。これらのラインは CLB の各行と各列に配置されているスイッチングマトリクスに接続されています。

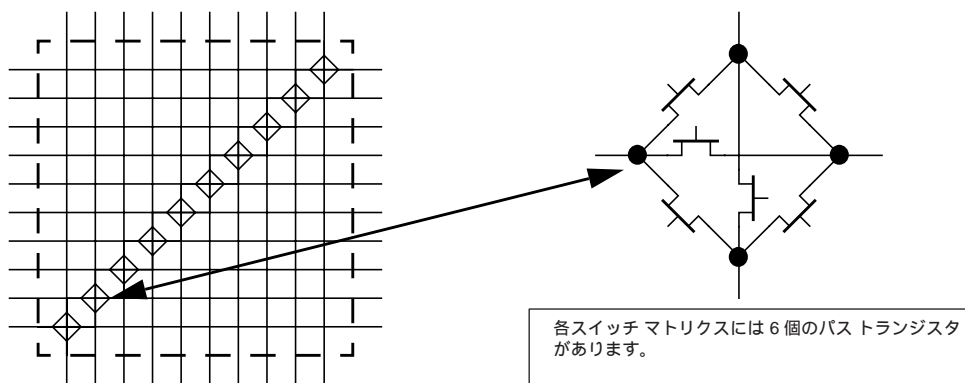


図 9 : プログラマブル スイッチ マトリクス

シングルレングスラインは、プログラマブル スイッチ マトリクスを經由して接続されます (図 9)。図 7 に配線機能の接続性を示します。

シングルレングスラインでは、スイッチング マトリクスを通過する際に遅延が生じます。したがって、距離の長い配線信号には適しません。これらは、通常、ローカル化された領域内の信号に使用され、複数のファンアウトを持つネットに対して分岐を提供します。

ダブル レングス ライン

ダブルレングスラインは、シングルレングスラインの 2 倍の長さを持つメタル セグメントのグリッドから構成されます。これらのラインは、2 個の CLB を通過した後に PSM に入力されます。各ラインが CLB のひとつおきの行または列で PSM に入力されるように、ダブルレングスラインは縦続配置された PSM と組み合わせ対を構成します (図 7)。

各 CLB に対応して、垂直および水平のダブルレングスラインがそれぞれ 4 本ずつ用意されています。これらのラインは、中距離信号に対して高速な配線を提供し、配線の柔軟性も維持しています。

ロングライン

ロングラインはアレイの全長または全幅に等しい長さを持つメタル内部接続セグメントのグリッドを構成しています。ロングラインは、ハイ・ファンアウト、時間的にクリティカルな信号ネット、または長い距離で分散されるネットを対象としています。

Spartan シリーズの各ロングラインの中央にはプログラマブル スプリッタ スイッチがあります。このスイッチは、ロングラインを 2 つの独立した配線チャンネルに分割します。分割した各ラインはアレイの幅または高さの半分の長さになります。

ロングラインの配線性を図 7 に示します。ロングラインは、幾つかのスリーステートバッファとインターフェイスすることもできます。このスリーステートバッファについては、16 ページの「スリーステート ロングラインドライバ」の節で説明します。

I/O の配線

Spartan シリーズ デバイスは、IOB リングの周辺に VersaRing と呼ばれる配線機能が追加されています。VersaRing はボードレイアウトに影響を与えずに、ピンのスワッピングと再デザインを可能にします。8 本のダブルレングスラインと 4 本のロングラインが含まれます。

グローバル ネットおよびバッファ

Spartan シリーズ デバイスには専用のグローバル ネットワークがあります。これらのネットワークは、クロックとその他のハイ・ファンアウトコントロール信号を最小のスキューでデバイス内に分配する目的でデザインされています。

各 CLB 列内にある 4 本の垂直ロングラインは、特別なグローバル バッファにより駆動されます。これらロングラインは、標準の内部接続に使用される垂直ロングラインとは別に設けてあります。この 4 本のグローバルラインは、プライマリグローバル バッファ (BUFGP) とセカンダリグローバル バッファ (BUFGS) の 2 種類のタイプのグローバル バッファのいずれかにより駆動できます (図 10)。各 CLB と各 IOB のクロック ピンはローカルな内部接続からも駆動できます。

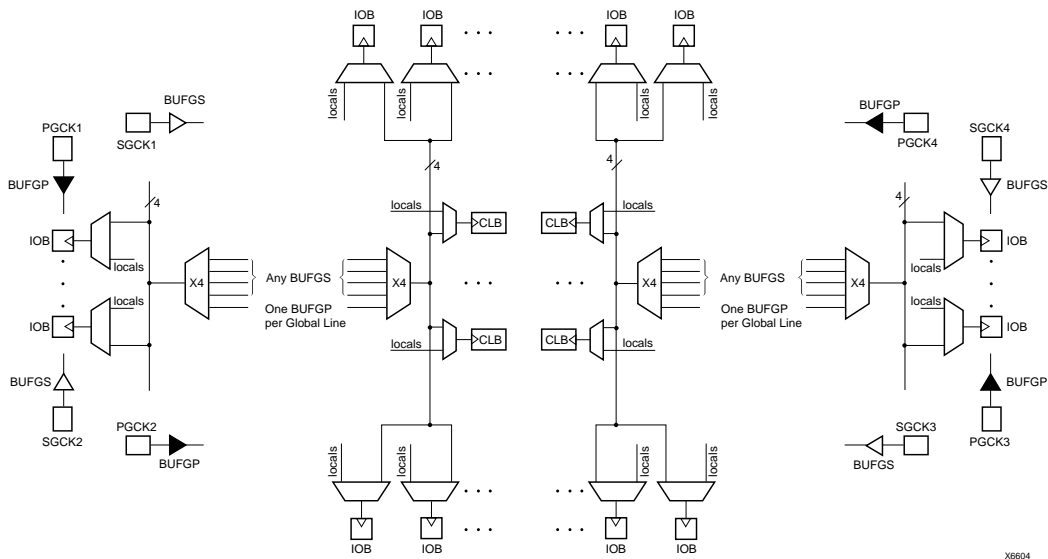


図 10 : Spartan シリーズ グローバル ネットの分配

4 個のプライマリグローバルバッファの遅延は最小で、スキューは無視できます。4 個のセカンダリグローバルバッファは負荷が大きくなるため、遅延はやや大きく、スキューも少し大きくなりますが、非クロックの CLB 入力を駆動するときを使用すると、非常に柔軟性があります。

プライマリグローバルバッファは、半専用パッド (PGCK1 ~ 4) を使用して駆動する必要があります。セカンダリグローバルバッファは半専用パッド (SGCK1 ~ 4) または内部ネットから駆動することができます。デバイスの各角には 1 個のプライマリバッファと 1 個のセカンダリバッファがあります。

BUFG と呼ばれるライブラリシンボルを使用すると、ソフトウェアはデザインのタイミング条件に応じて最適なクロックバッファを選択します。タイミングが厳しいすべてのグローバル信号には、グローバルバッファを指定する必要があります。グローバルバッファを使うときは、回路図内または HDL コード内に、BUFGP(プライマリバッファ) エlement、BUFGS(セカンダリバッファ) エlement、または BUFG(プライマリバッファまたはセカンダリバッファ) エlement を配置します。

新機能の説明

分散型 RAM

各 CLB のオプションモードを使用すると、ファンクションジェネレータ (F-LUT と G-LUT) を RAM として使用することができます。

このオンチップ RAM の読み書き動作は、外付けの RAM に比較すると、はるかに高速です。この高速性は、FPGA 内部での信号伝搬遅延が比較的小さいことに起因しています。

メモリ構成の概要

シングルポート RAM とデュアルポート RAM の 2 種類のメモリ構成が可能です。この両モードでは、書き込み動作は同期的 (エッジトリガ) に、読み出し動作は非同期的にそれぞれ行われます。シングルポートモードでは、1 つの CLB が 16x1、(16x1)x2、または 32x1 の RAM アレイとしてコンフィギュレーションできます。デュアルポートモードでは、1 つの CLB が 16x1 の RAM アレイとしてコンフィギュレーションできます。表 7 に、種々のメモリ構成をまとめて示します。これらは、いずれも Spartan シリーズの CLB 内に独立してプログラムすることができます。

- 16x1 のシングルポート構成は、各々が 1 ビット幅の 16 ロケーションからなる RAM アレイです。4 ビットのアドレスデコーダが 1 個用意されており、これにより読み書き動作の RAM ロケーションを決定しています。書き込みデータ用に 1 つの入力と読み出しデータ用に 1 つの出力が用意されており、いずれも選択されたアドレスにあります。
- (16x1)x2 のシングルポート構成では、2 つの 16x1 のシングルポート構成 (各々は前に説明したものです) を組み合わせてあります。データ入力が 1 つ、データ出力が 1 つ、各アレイに対してアドレスデコーダが 1 つ用意されています。これらのアレイは、独立にアドレス指定することができます。

- 32x1 のシングルポート構成は、各々が 1 ビット幅の 32 ロケーションからなる RAM アレイです。データ入力が 1 つ、データ出力が 1 つ、5 ビットのアドレスデコーダが 1 つ用意されています。
- デュアルポートモードの 16x1 構成は、各々が 1 ビット幅の 16 ロケーションからなる RAM アレイです。各ポート毎に 4 ビットのアドレスデコーダが用意されており、合計 2 個のアドレスデコーダがあります。一方のポートは、書き込み用の入力と読み出し用の出力で構成されており、いずれも選択されたアドレスにあります。他方のポートは 1 つの出力から構成されており、独立に選択されたアドレスからの読み出し用に使用されます。

表 7 : CLB メモリの構成

Mode	16 x 1	(16 x 1) x 2	32 x 1
Single-Port	√	√	√
Dual-Port	√		

デザインに対する適切な RAM 構成モードの選択は、タイミングとリソースの条件、所望機能、デザインプロセスの容易性に基づいて行う必要があります。選択基準には次の事項が含まれます。すなわち、32x1 のシングルポート、(16x1)x2 のシングルポート、16x1 のデュアルポートの各構成は 1 つの CLB をすべて使います。これに対して、16x1 のシングルポート構成では CLB の半分しか使いません。読み書き動作が同時に行われるため、デュアルポート RAM はシングルポート RAM の 2 倍のデータを転送することができます。一方、シングルポート RAM は 1 回に 1 つのデータの処理しか行うことができません。

デザイン入力中に該当するライブラリシンボルを使用することにより、CLB メモリの各構成オプションが選択されます。

シングルポート モード

シングルポート RAM には、16x1、(16x1)x2、32x1 の 3 種類の CLB メモリ構成があります。図 11 に、これらの機能構成を示します。

シングルポート RAM の信号と元になっている CLB の信号を表 8 に示します。

表 8 : シングルポート RAM の信号

RAM Signal	Function	CLB Signal
D	Data In	DIN or H ₁
A[3:0]	Address	F ₁ -F ₄ or G ₁ -G ₄
A ₄ (32 x 1 only)	Address	H ₁
WE	Write Enable	SR
WCLK	Clock	K
SPO	Single Port Out (Data Out)	F _{OUT} or G _{OUT}

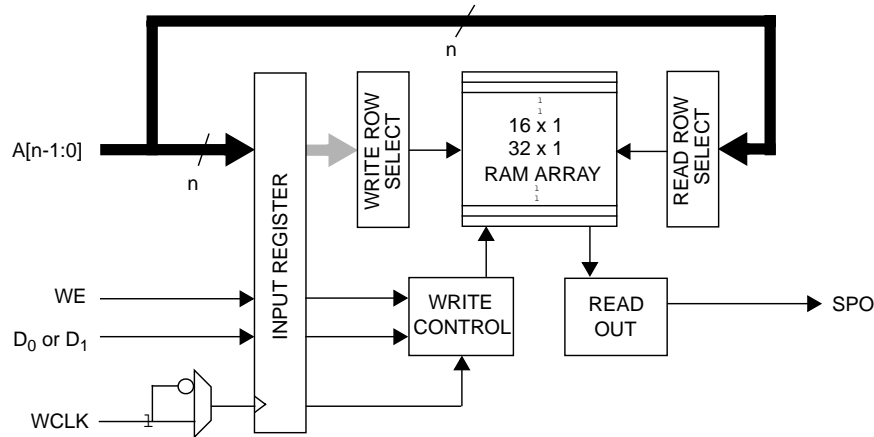


図 11 : シングルポート RAM の回路図

- 注 : 1. (16 × 1) × 2 の構成では 2 つの 16 × 1 シングルポート RAM が組み合わされており、各々が独立したアドレスバスとデータ入力を持っています。両 RAM には、同一の WE 信号と WCLK 信号が接続されています。
2. 16 × 1 と (16 × 1) × 2 の構成に対しては n = 4、32 × 1 の構成に対しては n = 5 です。

シングルポート RAM へのデータの書き込みは、基本的にはデータレジスタに対する書き込みと同じです。WE が High の間に、WCLK のアクティブ エッジで A 入力にアドレスを与え、D 入力にデータを入力して実行されるエッジトリガ (同期) 動作です。

図 12 に、タイミングの関係を示します。WE の High レベルにより、入力データ レジスタの書き込みがイネーブルされます。WCLK のアクティブ エッジで、アドレス入力、入力データ、WE 信号がラッチされます。その後、内部書き込みパルスが発生されて、データがメモリセルにロードされます。

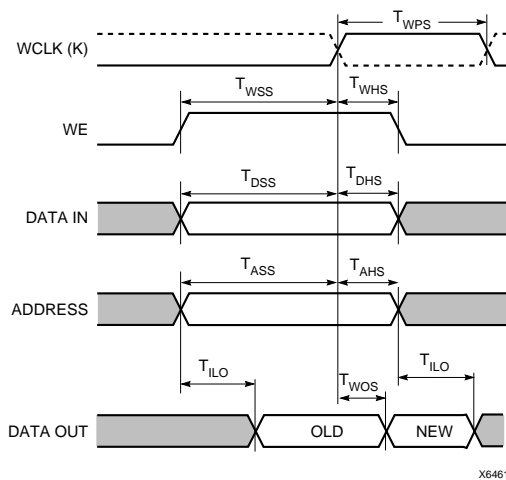


図 12 : RAM のデータ書き込みとアクセス タイミング

WCLK のアクティブ エッジは、立ち上がり (デフォルト) または立ち下がりに設定することができます。RAM に対する WCLK 入力としては、対応する CLB のフリップフロップに対するクロック入力と同じ信号が使用されますが、そのフリップフロップクロック入力の反転も、WCLK 入力として使うことができます。したがって、同一 CLB 内では、RAM の SPO ライン上のデータは、クロックの反転極性または非反転極性のいずれを使用しても、RAM 内に書き込むことができます。

WE 入力はアクティブ High で、CLB 内部では反転することはできません。

安定時間の経過後に、SPO 出力上のデータはアドレスが指定されている RAM ロケーションの内容を反映します。アドレスが変更されると、非同期的遅延 T_{ILO} の経過後に、新しいアドレスロケーションに記憶されているデータが SPO 上に出力されます。ある RAM アドレスのデータが上書きされた場合は、遅延時間 T_{WOS} の経過後に、新しいデータが SPO 上に出力されます。

デュアルポート モード

デュアルポートモードでは、ファンクションジェネレータ (F-LUT と G-LUT) を使用して、16 × 1 のデュアルポート RAM が作成されます。2 つのデータポートがあり、その内の 1 つのポートでは A[3:0] で指定されたアドレスに対して読み書き動作が可能で、その間 2 つ目のポートでは、DPRA[3:0] により独立に指定されたアドレスに対して読みだし動作のみが可能です。したがって、異なるアドレスに対する (もちろん同じアドレスに対しても) 読み書き動作を同時に行うことができます。

図 13 に、16 × 1 のデュアルポート RAM の機能的な構成を示します。

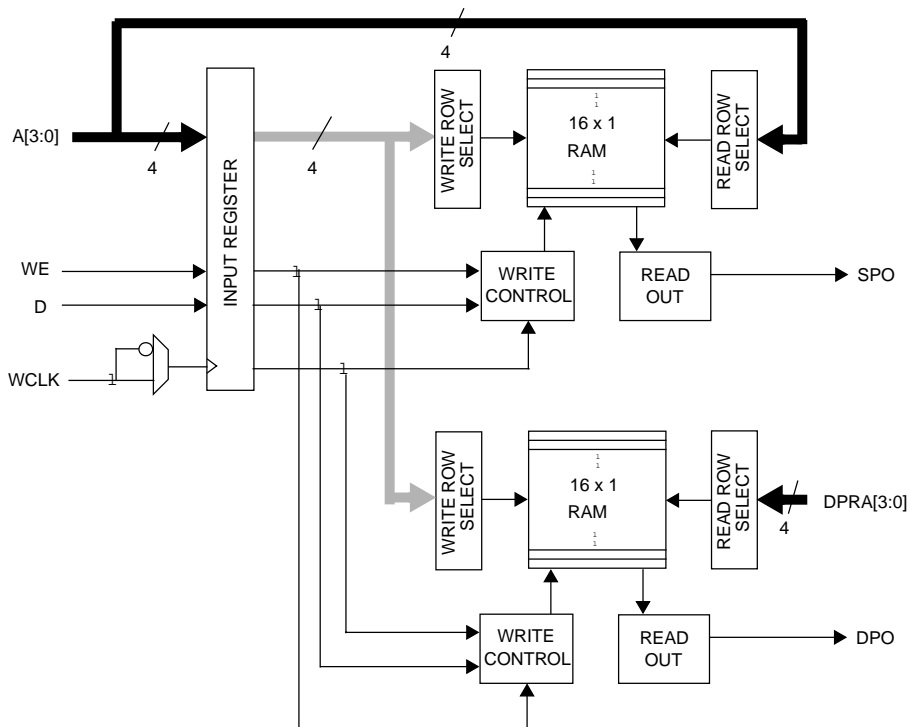


図 13 : デュアルポート RAM の回路図

デュアルポート RAM の信号と元になっている CLB の信号を表 9 に示します。

表 9 : デュアルポート RAM の信号

RAM Signal	Function	CLB Signal
D	Data In	DIN
A[3:0]	Read Address for Single-Port. Write Address for Single-Port and Dual-Port.	F ₁ -F ₄
DPRA[3:0]	Read Address for Dual-Port	G ₁ -G ₄
WE	Write Enable	SR
WCLK	Clock	K
SPO	Single Port Out (addressed by A[3:0])	F _{OUT}
DPO	Dual Port Out (addressed by DPRA[3:0])	G _{OUT}

デュアルポート RAM の作成に使用される RAM16X1D プリミティブは、上位と下位の 16×1 のメモリアレイで構成されています。A[3:0] と表示されているアドレスポートは下位メモリアレイに対して読み出しと書き込みの両方のアドレスを供給します。この下位メモリアレイは前述の 16×1 のシングルポート RAM アレイと同じ動作を行います。シングルポート出力 (SPO) は、下位メモリに対してデータ出力として機能します。したがって、SPO はアドレス A[3:0] にあるデータを反映します。

デュアルポートアドレス DPRA[3:0] と表示されているもう一つのアドレスポートは、上位メモリに対して読み出しアドレスを供給しますが、このメモリに対する書き込みアドレスにはアドレス A[3:0] が使われます。デュアルポート出力 (DPO) は、上位メモリのデータ出力として機能します。したがって、DPO はアドレス DPRA[3:0] にあるデータを反映します。

A[3:0] アドレスを書き込みアドレスとして、DPRA[3:0] を読み出しアドレスとしてそれぞれ使用し、さらに DPO 出力のみを読み出すことにより、同時に読み書き可能な FIFO を容易に生成することができます。デュアルポート RAM で可能な同時読み書き機能は、交互に読み書きを行うシングルポート RAM の 2 倍の実効データスループットを提供することができます。

図 12 に、デュアルポート RAM モードのタイミング関係を示します。

RAM に対する書き込み動作は同期的 (エッジトリガ) ですが、データアクセスは非同期的であることに注意してください。

FPGA コンフィギュレーション時におけるRAMの初期化
Spartan シリーズのRAMとROMは、デバイスのコンフィギュレーション時に初期化されます。回路図ライブラリガイドに説明されているように、初期値はRAMまたはROMに指定されたINIT属性またはプロパティを使用して定義されます。定義されていない場合は、すべてのRAM内容は、デフォルトとしてゼロに初期化されます。

RAMの初期化はデバイスのコンフィギュレーション時にのみ行われます。RAMの内容は、GSRにより影響を受けることはありません。

CLB内部でのRAMの使用法に関するその他の資料
同期(エッジトリガ)RAMについて説明する『Xilinx Edge-Triggered and Dual-Port RAM Capability』、『Implementing FIFOs in Xilinx RAM』、『Synchronous and Asynchronous FIFO Designs』の3つのアプリケーションノート(英文)がザイリンクスより提供されています。これら3つのアプリケーションノートはSpartanおよびSpartan-XLの両シリーズに適用されます。

高速キャリ ロジック

各CLBのF-LUTとG-LUTの両ファンクションジェネレータには、キャリ信号とパワー信号を高速に生成する専用演算ロジックが含まれています。この特別な出力は、隣接CLB内のファンクションジェネレータに渡されます。このキャリチェーンは通常の配線リソースからは独立しています(図14参照)。

この専用高速キャリロジックは、加算器、減算器、アキュムレータ、コンパレータ、カウンタの効率と性能を大幅に強化します。また、従来のFPGAでは速度が不十分か、または低効率の演算動作を含む多くの新アプリケーションに対するドアが開かれます。マイクロプロセッサシステムまたはグラフィックシステムでのアドレスオフセットの高速計算とデジタル信号処理における高速加算はこれらの代表的な2つのアプリケーションです。

2個の4入力ファンクションジェネレータは、任意の長さにも拡張可能な隠れた組み込みキャリを持つ2ビット加算器としてコンフィギュレーションすることができます。この専用キャリ回路は非常に高速で効率が良いため、キャリ生成/伝搬のような従来型の加速方式の使用は16ビットレベルでも無意味になり、32ビットレベルで同等となります。

この高速キャリロジックはSpartanシリーズの重要な機能の1つであり、演算機能とカウント機能を高速化します。

Spartan シリーズ デバイス内のキャリチェーンでは、上方または下方への伝搬が可能です。列の最上部または最下部ではその上または下にはCLBがありませんが、ここではキャリは右に伝搬します。

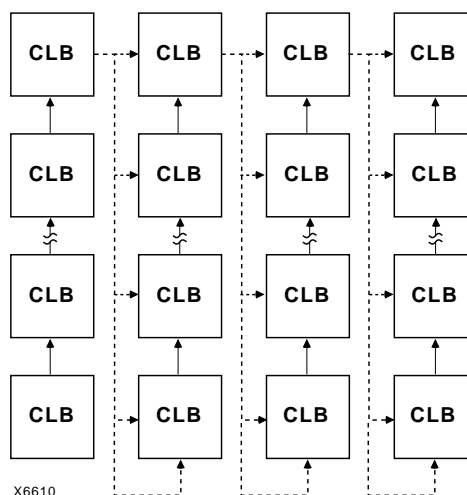


図 14 : Spartan のキャリ伝搬パス

15 ページの図 15 に、専用高速キャリロジックを持つ Spartan シリーズの CLB を示します。キャリロジックはオペランドと制御入力をファンクションジェネレータと共用しています。キャリ出力はファンクションジェネレータに接続され、ここでオペランドと結合されて和を形成します。

16 ページの図 16 に、Spartan のキャリロジックの詳細を示します。この図には、図 15 で "CARRY LOGIC" とラベル表示されたボックスに内容が表示してあります。

高速キャリロジックは、特別なライブラリシンボルを配置して、あるいはこれらのシンボルを既に含んでいるザイリンクスの相対配置型マクロ(RPM)を使用して、アクセスすることができます。

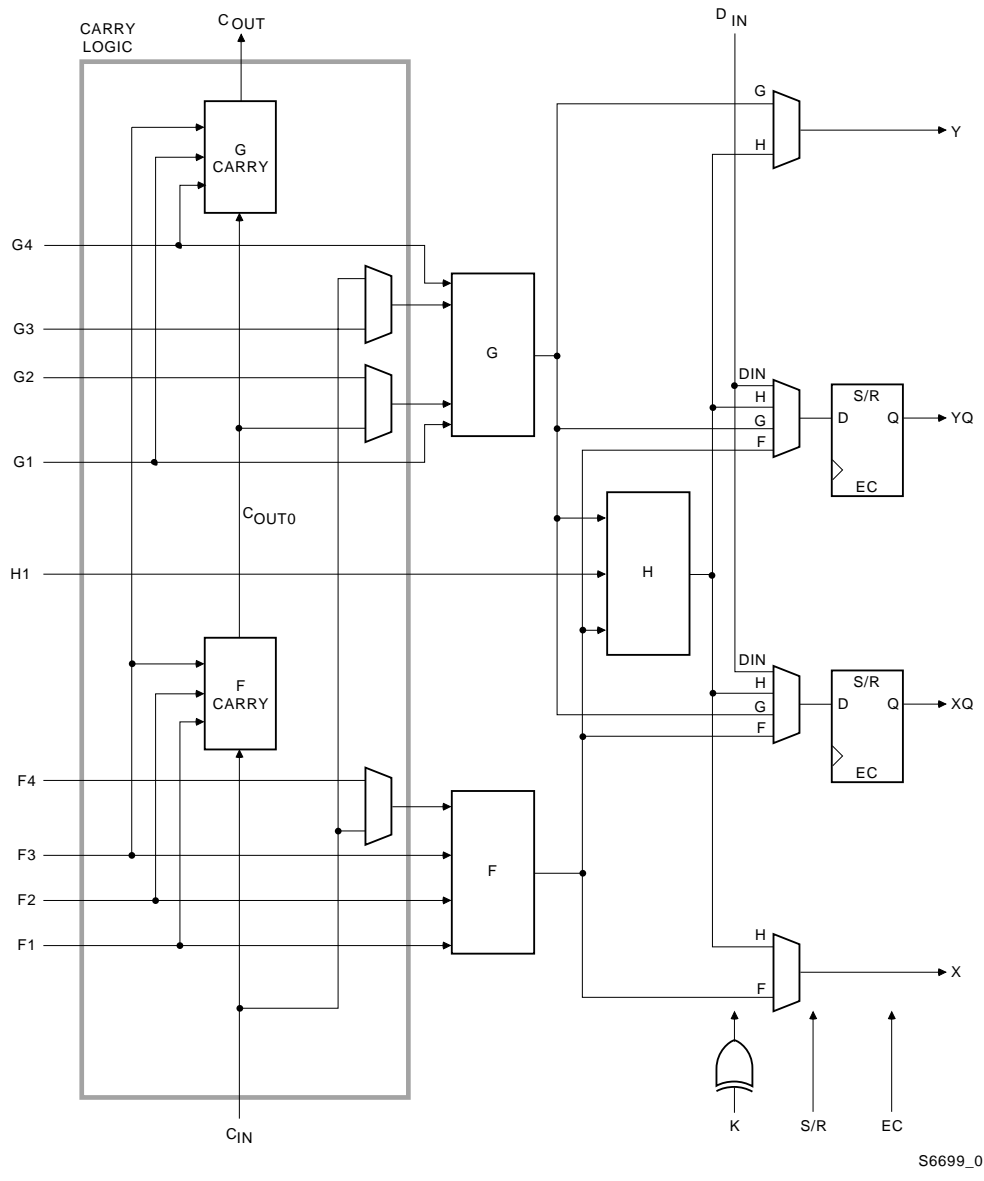
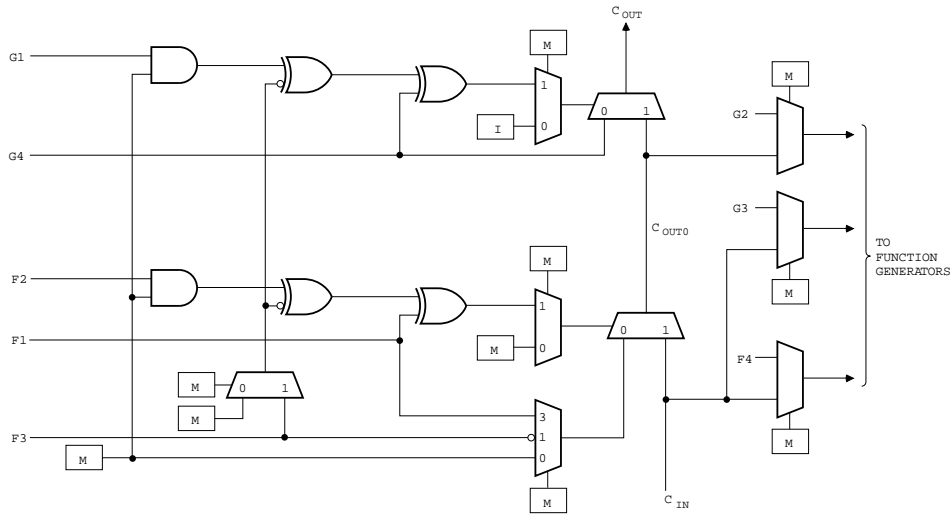


図 15 : Spartan CLB の高速キャリ ロジック



S2000_01

図 16 : Spartan 専用キャリ ロジックの詳細

スリーステート ロングライン ドライバ

アレイ内の各 CLB に対して、1 対のスリーステートバッファが対応しています。これらのスリーステートバッファ (TBUF) を使用して、その CLB の上または下にある最寄りの水平ロングラインに信号を送り出すことができます。したがって、これらを使用すると、水平ロングライン上にマルチプレクスパスまたは双方向バスを構成することができ、ロジックリソースを節約することができます。

これら 2 本のロングラインの両端には弱いプルアップ抵抗があります。この回路により、不定なレベルになることを防止していますが、他のドライバが接続された場合には、この機能はそのドライバが代わりに果たします。

バッファイネーブルは、表 10 に示すように、アクティブ High のスリーステートです (すなわち、アクティブ Low イネーブル)。

スリーステート バッファの例

図 17 に、スリーステートバッファを使ってマルチプレクサを構成する方法を示します。出力の選択は、バッファ スリーステート信号により行われます。

これらのバッファをデザイン内で使用する場合は、T ピンの極性に特に注意してください。アクティブ High スリーステート (T) は、表 10 に示すように、アクティブ Low 出力イネーブルと同じものです。

表 10 : スリーステート バッファの機能

IN	T	OUT
X	1	Z
IN	0	IN

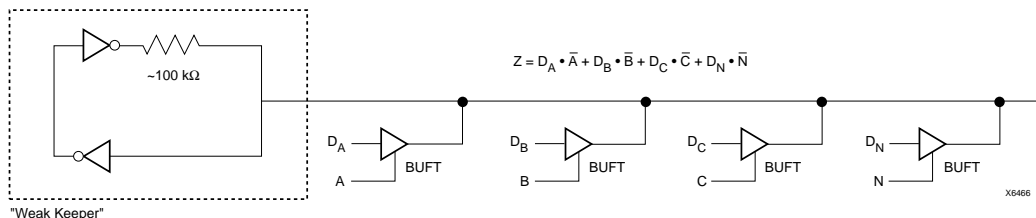


図 17 : スリーステート バッファによるマルチプレクサの実現

オンチップ発振器

Spartan シリーズのデバイスには内部発振器が内蔵されています。この発振器は、パワーオンタイムアウトのクロックとして、コンフィギュレーション時のメモリアクティブ動作に、マスタコンフィギュレーションモードの CCLK クロック源として使用されます。この発振器は公称周波数が 8MHz ですが、プロセス、V_{CC}、温度に依存して変動します。出力周波数は 4 ~ 10MHz の範囲です。

発振器出力は、オプションとしてコンフィギュレーションの後で使用することもできます。内蔵分周器内の再同期された 4 タップ内の任意の 2 タップも使用することができます。これらのタップは、分周器の 4 ビット目、9 ビット目、14 ビット目、19 ビット目にあります。したがって、基本発振器出力が公称 8MHz の場合、ユーザは 8MHz クロックの他に 500 kHz、16kHz、490Hz、15Hz の中から 2 種類をアクセスすることができます (低電圧デバイスでは周波数が最大 10% 低下します)。これらの周波数は -50% ~ +25% の範囲で変動します。

これらの信号は、回路図または HDL コード内に OSC ライブラリエレメントを配置することによりアクセスされます (図 25)。

OSC シンボルがデザイン内で使用されていない場合は、コンフィギュレーション後に、この発振器は自動的にディスエーブルされます。

グローバル信号 : GSR および GTS

グローバル セット / リセット

個別のグローバルセット/リセットライン (CLB に対しては 4 ページの図 3 を参照、IOB に対しては 6 ページの図 6 を参照) により、パワーアップ時、リコンフィギュレーション時、または専用リセットネットがアクティブに駆動されたときに、各記憶エレメントをセットまたはクリアします。このグローバル ネット (GSR) は専用分配ネットワークを使用するため、他の配線リソースと競合することはありません。

各フリップフロップはローカルなセット / リセット (SR) の指定と同じ方法で、グローバルにセットまたはリセットされます。したがって、フリップフロップが SR によりセットされた場合、GSR によってもセットされます。同様に、リセット モードにある場合、フリップフロップは SR と GSR によりリセットされます。

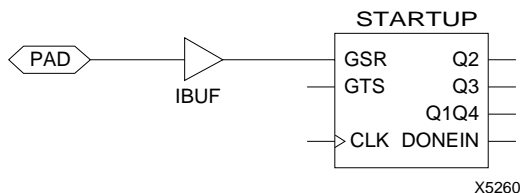


図 18 : グローバル セット / リセットの回路シンボル

GSR をグローバルリセット入力としてユーザプログラマブルピンで駆動することができます。このグローバル ネットを使用するときは、回路図または HDL コード内に入力パッドと入力バッファを配置して STARTUP シンボルの GSR ピンを駆動します (図 18)。

ユーザプログラマブルパッドを割り当てる場合と同じように、特定ピン位置を LOC 属性またはプロパティを使用してこの入力

に割り当てます。入力バッファの後ろにはインバータを入力してグローバルリセット / リセット信号の検出を反転させることもできます。

代わりに、GSR を内部ノードから駆動することもできます。

グローバル スリーステート

バウンダリ スキャンがイネーブルされ、かつ EXTEST インストラクションが実行されている場合を除いて、個別のグローバルスリーステート ライン (5 ページの図 5 を参照) は、強制的に FPGA 出力を高インピーダンス状態にします。このグローバル ネット (GTS) は専用分配ネットワークを使用しているため、他の配線リソースと競合することはありません。

グローバル スリーステート入力として、GTS を任意のユーザ プログラマブルピンで駆動することができます。このグローバル ネットを使用するときは、回路図または HDL コード内に入力パッドと入力バッファを配置して、STARTUP シンボルの GTS ピンを駆動します。これは、GSR に対して図 13 に示した内容と同じです。ただし、IBUF が GTS に接続されている点が異なります。他のユーザ プログラマブルパッドと同様に、LOC 属性またはプロパティをこの入力に指定して、特定のピン位置を割り当てることができます。インバータを入力バッファの後ろに挿入して、グローバルスリーステート信号の検出レベルを反転させることもできます。代わりに、任意の内部ノードから GTS を駆動することもできます。

バウンダリ スキャン

"ピンボードを使ったテスト" は、電子コンポーネントをテストする伝統的な方法として長い間使用されてきました。しかし、ピン間隔が狭くなるにつれて、さらに表面実装技術や多層ボードのような最新の組立方法の登場により、この方法が適さない場合も生じるようになった。IEEE バウンダリ スキャン規格 1149.1 は、電子コンポーネントのボードレベルでのテストを可能にする目的で制定されました。標準のテストロジック構造をデバイスにあらかじめ組み込んでおき、I/O と内部ロジックに対する高いフォルトカバレッジを達成しようとするものです。この構造は、バウンダリ スキャン準拠 IC の 4 ピン インターフェイスを使用して容易に組み込むことができます。IEEE 1149.1 準拠デバイスは、シリアル デジュー チェーン接続、パラレル接続、または両方を組み合わせた接続方式により互いに接続できます。

Spartan シリーズには、IEEE 1149.1 準拠の BYPASS、PRELOAD/SAMPLE、EXTEST の各バウンダリ スキャン インストラクションが組み込まれています。バウンダリ スキャン コンフィギュレーション オプションが選択されると、通常のユーザ I/O ピン 3 本がこれらの機能に対する専用入力ピンに変わります。別のユーザ出力ピンは、専用バウンダリ スキャン出力になります。この回路の詳細なイネーブル方法はこの節の後半で説明します。

これらの入力信号を使用して、ユーザはコマンドとデータをデバイスにシリアルにロードして、ユーザ出力の駆動を制御し、ユーザ入力を調べることができます。この方法は "ピンボードを使ったテスト" を改良したものです。この方法ではデバイス出力をオーバドライブする必要がなくなり、ユーザ インターフェイスは 4 ピンに削減されています。規格には、オプションの 5 番目のピンである制御ロジックに対するリセットピンが規定されていますが、ザイリンクス デバイスには組み込まれていません。

専用オンチップ ロジックには、16 ステートのステート マシン、インストラクション レジスタ、多数のデータ レジスタなどの IEEE 1149.1 機能が組み込まれています。機能の詳細は、IEEE 1149.1 仕様に記載されていますが、ザイリンクスのアプリケーション ノート "Boundary Scan in FPGA Devices" にも記載してあります。

図 19 に、Spartan シリーズ バウンダリ スキャンのブロック図を示します。1 IOB 当り 3 ビットのデータ レジスタ、IEEE 1149.1 テストアクセスポートコントローラ、デコーダ付きのインストラクションレジスタなどが示してあります。

Spartan シリーズ デバイスはバウンダリ スキャン ロジックを使用してコンフィギュレーションすることもできます。25 ページの「バウンダリ スキャン ピンを使用するコンフィギュレーション」の節を参照してください。

データ レジスタ

プライマリデータレジスタはバウンダリ スキャンレジスタです。このレジスタは、FPGA 内の各 IOB ピン（ボンディングの有無に無関係に）に対して 3 ビットを保持しており、これら 3 ビットを使用して入力、出力、スリープ状態を制御しています。非 IOB ピンもこれら該当する一部のビット（入力または出力）を持っています。PROGRAM、CCLK、DONE はバウンダリ スキャンレジスタに含まれていません。各 EXTEST CAPTURE-DR state がすべての入力ピン、出力ピン、スリープ状態ピンをキャプチャします。

データ レジスタには、ピンに接続されていないビットである TDO.T、TDO.O、BSCANT.UPD が含まれています。

TDO.T と TDO.O は常にデータレジスタのビット 0 とビット 1 に位置します。BSCANT.UPD は常にデータレジスタの最終ビットに位置します。バウンダリ スキャンのこれら 3 ビットは、ザイリンクスが特別の用途に使用するテスト信号です。

規格に規定されているその他のデータレジスタは、1 個のフリップフロップからなる BYPASS レジスタです。このレジスタは、FPGA を通過して下流に接続されている次のバウンダリ スキャン デバイスに渡されるデータを同期化します。

FPGA にはさらに 2 個のデータレジスタが用意されています。これらのレジスタは BSCAN マクロを使用して指定することができます。FPGA には 2 つのユーザ インストラクションのデコードになっている 2 本のユーザ ピン (BSCAN.SEL1 と BSCAN.SEL2) も用意されています。これらのインストラクションに対して、対応する 2 本のピン (BSCAN.TDO1 と BSCAN.TDO2) を使用すると、TDO にシフト出力されるデータをスキャンすることができます。データ レジスタ クロック (BSCAN.DRCK) を使用して、ユーザが必要に応じて CLB にあらかじめ組み込んでおいたテストロジックを制御することができます。TCK と RUN-TEST-IDLE の NAND 出力も用意されています (BSCAN.IDLE)。

インストラクション セット

Spartan シリーズ バウンダリ スキャンのインストラクション セットには、デバイスをコンフィギュレーションするインストラクションとコンフィギュレーション データをリードバックするインストラクションも含まれています。インストラクション セットは、表 11 のようにコード化されています。

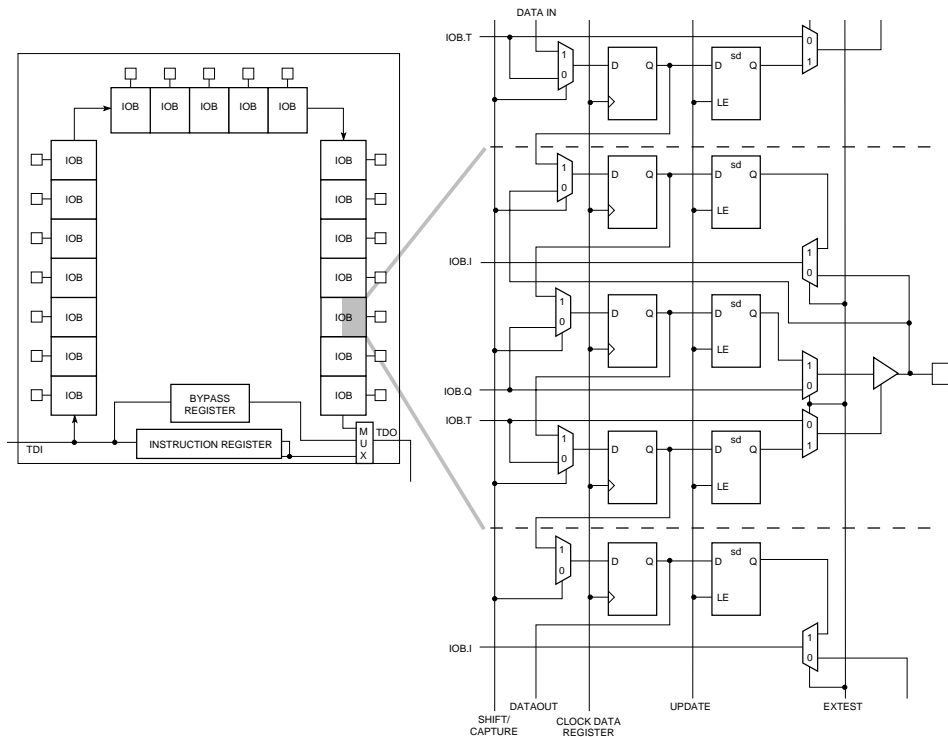


図 19 : Spartan シリーズのバウンダリ スキャン ロジック

ビットシーケンス

各 IOB 内のビットシーケンスは、入力、出力、スリープ状態の順です。入力専用ピンはバウンダリ スキャン I/O データレジスタに対して入力ビットとして機能し、一方、出力専用ピンはこれら 3 ビットすべてとして機能します。

I/O データレジスタ内の先頭の 2 ビットは TDO.T と TDO.O で、内部信号のキャプチャに使用することができます。最終ビットは BSCANT.UPD で、内部ネットの駆動に使用できます。これらのビット位置は基本的にはザイリンクスが内部テスト用に使用します。

チップのキャピティアップの方向から見た場合 (Epic を参照)、チップの右上の角から開始して、バウンダリ スキャン データレジスタビットは図 20 に示す順に配置されています。Spartan シリーズのデバイス固有のピン配置表には、各 IOB ピンに対するバウンダリ スキャン位置が示してあります。

Spartan シリーズ デバイスに対する BSDL (バウンダリ スキャン記述言語) ファイルはザイリンクスの FTP サイトから配付しています。

回路図でのバウンダリ スキャンの指定

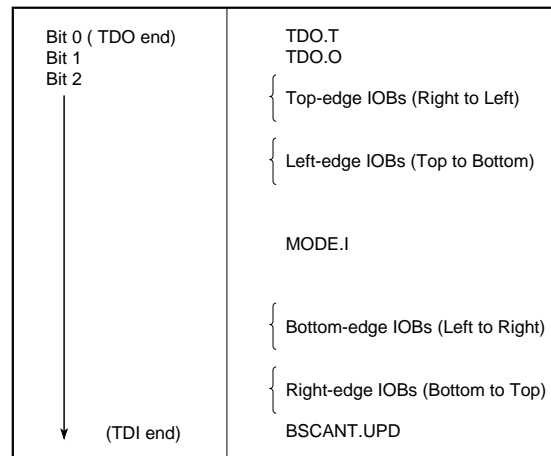
コンフィギュレーション時のみバウンダリ スキャンを使用する場合は、回路図または HDL コード内に特別な回路図エレメントを配置する必要はありません。このケースでは、コンフィギュレーション後に、特別なバウンダリ スキャン ピンの TDI、TMS、TCK、TDO はユーザ I/O 機能として使用することができます。

コンフィギュレーション後も、バウンダリ スキャンのイネーブル状態を維持するように指定するときは、BSCAN ライブラリシンボルを配置して、TDI、TMS、TCK、TDO の各パッドシンボルを該当するピンに接続します (図 21)。

バウンダリ スキャン シンボルが回路図内で使用されていても、入力ピンの TMS、TCK、TDI は内部ロジックに対して配線される入力としても使用できます。これらのピンにバウンダリ スキャン入力パターンを誤って入力して、チップを強制的に意図しないバウンダリ スキャン状態にしてしまうことのないように注意が必要です。これを回避する簡単な方法は、TMS を High に維持して、TDI と TCK に所望の信号を入力することです。

表 11 : バウンダリ スキャン インストラクション

Instruction			Test Selected	TDO Source	I/O Data Source
I2	I1	I0			
0	0	0	EXTEST	DR	DR
0	0	1	SAMPLE/PRELOAD	DR	Pin/Logic
0	1	0	USER 1	BSCAN. TDO1	User Logic
0	1	1	USER 2	BSCAN. TDO2	User Logic
1	0	0	READBACK	Readback Data	Pin/Logic
1	0	1	CONFIGURE	DOUT	Disabled
1	1	0	Reserved	—	—
1	1	1	BYPASS	Bypass Register	—



S6075_02

図 20 : バウンダリ スキャンのビット シーケンス

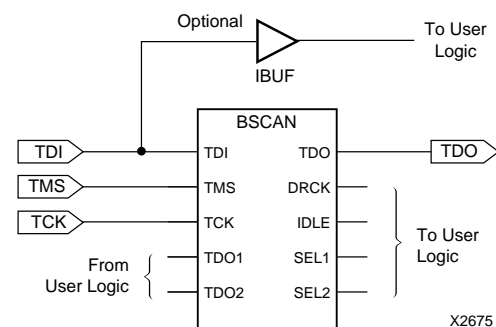
バウンダリ スキャン誤起動の防止

TMS または TCK をユーザ I/O として使用する場合は、これらのピン内の少なくとも 1 本は、コンフィギュレーション中は必ず固定しておく必要があります。アプリケーションによっては、コンフィギュレーション中に、TMS または TCK が駆動されることもあります。これによりデバイスは、バウンダリ スキャン モードに入ってしまう、コンフィギュレーション プロセスを阻害します。

コンフィギュレーション中のバウンダリ スキャンの起動を回避するときは、次のいずれかを実施します。

- TMS を High に接続して、テスト アクセスポートコントローラを RESET ステートにします。
- TCK を High または Low に接続します。このクロック入力はグルルしないでください。

バウンダリ スキャンの詳細については、ザイリンクスのアプリケーション ノート "Boundary Scan in FPGA Devices" を参照してください。



X2675

図 21 : バウンダリ スキャン回路図の例

コンフィギュレーションおよびテスト

コンフィギュレーションは、デザイン固有のプログラミングデータを1個または複数のFPGAにロードして、内部ブロックとその内部接続の機能動作を定義するプロセスです。これは、ある意味でプログラマブルなペリフェラルチップのコマンドレジスタをロードするのと似ています。Spartan シリーズ デバイスは、1 CLB とその対応する内部接続当たり、数百ビットのコンフィギュレーションデータを使用します。各コンフィギュレーションビットは、スタティックメモリセルの状態を定義しています。このメモリセルは、ファンクションルックアップテーブルのビット、マルチプレクサ入力、または内部接続のバスタージスタを制御しています。ザイリンクスの開発システムは、デザインをネットリストファイルに変換します。この開発システムは自動的にロジックの分割、配置、配線を実行して、PROM フォーマットのコンフィギュレーションデータを生成します。

コンフィギュレーション モードの制御

Spartan シリーズのデバイスには次の2種類のコンフィギュレーションモードがあります。

- スレーブシリアルモード MODE = 1
- マスタシリアルモード MODE = 0

コンフィギュレーションの前に、コントロールピン (MODE) をサンプルして、コンフィギュレーションモードが決定されます。コンフィギュレーション後は、このMODEピンは使用されません。コンフィギュレーション中に、MODEピンは弱いプルアップ抵抗を持ちます。MODEピンがHighのときは、スレーブシリアルモードが選択され、このモードは基本的にはデジチェーン接続されたデバイスに対して使用され、最も多く使用されるコンフィギュレーションモードです。したがって、この最も一般的なコンフィギュレーションモードに対しては、MODEピンを開放のままにしておくことができるようになっています (ただし、内部プルアップ抵抗値は20K ~ 250 K です)。マスタシリアルモードが必要な場合は、このMODEピンを直接GNDに接続するか、またはMODEピンとGNDの間に1K ~ 3K のプルダウン抵抗を接続することをお勧めします。

コンフィギュレーション中には、幾つかのI/Oピンは一時的にコンフィギュレーションプロセス用に使用されます。表12に、コンフィギュレーション中に使用するすべてのピンを示します。

マスタシリアルモード

マスタシリアルモードでは、内部発振器を使用してコンフィギュレーションクロック (CCLK) を発生し、スレーブデバイスとザイリンクスシリアルコンフィギュレーションPROM (SPROM) を駆動します。CCLKとしては1MHzまたは8MHzが選択できます。コンフィギュレーションは常にデフォルトの低速モードで開始され、先頭のフレーム時に高い周波数に切り替えることができます。許容周波数変動は-50% ~ +25%です。

マスタシリアルモードでは、デバイスのCCLK出力により、FPGAのDIN入力に接続されているザイリンクスSPROMが駆動されます。CCLK出力の各立ち上がりエッジでSPROMの内部アドレスカウンタがインクリメントされます。

FPGAのDINピンに接続されているSPROMのデータ出力には、次のデータビットが出力されます。FPGAはこのデータをCCLKの次の立ち上がりエッジで受け取ります。

表12: コンフィギュレーション時のピン機能

CONFIGURATION MODE <MODE Pin>		
SLAVE SERIAL <High>	MASTER SERIAL <Low>	USER OPERATION
MODE (I)	MODE (I)	MODE
HDC (HIGH)	HDC (HIGH)	I/O
LDC (LOW)	LDC (LOW)	I/O
INIT	INIT	I/O
DONE	DONE	DONE
PROGRAM (I)	PROGRAM (I)	PROGRAM
CCLK (I)	CCLK (O)	CCLK (I)
DIN (I)	DIN (I)	I/O
DOUT	DOUT	SGCK4-I/O
TDI	TDI	TDI-I/O
TCK	TCK	TCK-I/O
TMS	TMS	TMS-I/O
TDO	TDO	TDO-(O)
ALL OTHERS		

注: 1. 網点表示された部分は、コンフィギュレーションの前と最中に内部プルアップ抵抗を持つことを示します。

2. (I) は入力、(O) は出力をそれぞれ表します。

3. INIT は、コンフィギュレーション中にオープンドレイン出力になります。

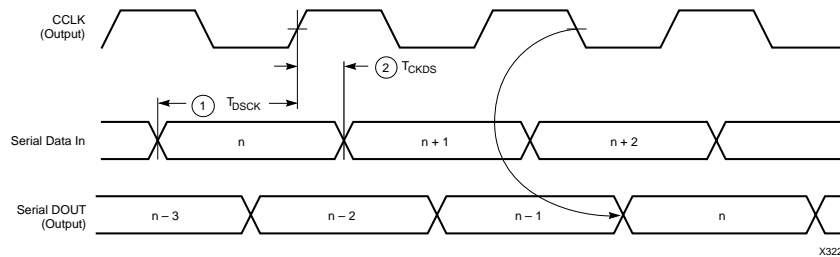
デジチェーン構成内で使用される場合、マスタシリアルFPGAはチェーン内の先頭デバイスとして配置され、先頭FPGAと呼ばれます。先頭FPGAはプリアンブルデータおよび先頭デバイスからオーバーフローする全データをそのDOUTピンに出力します。CCLKで1.5周期分の内部パイプライン遅延が発生します。これは、DOUTがCCLKの立ち上がりエッジで変化し、デジチェーン内の次のFPGAはデータを次のCCLK立ち上がりエッジで受け取ることを意味します (図22参照)。

ビットストリーム生成ソフトウェアでは、ユーザが高速コンフィギュレーションレートを指定できます。これは、先頭フレーム内の数ビットで開始され、CCLK周波数を8倍に増加します。実際のタイミング値については、仕様の節を参照してください。シリアルPROMとスレーブデバイスは十分高速であり、このデータレートをサポートしていることを確認してください。XC3000AとXC3100Aのようなデバイスでは、この高速コンフィギュレーションオプションをサポートしていません。

SPROMのCE入力をLDCまたはDONEにより駆動することができます。LDCを使用すると、DINピンでの競合を回避できます。ただし、このピンがユーザI/Oとしてコンフィギュレーションされ、コンフィギュレーション後にLDCがHigh固定のユーザ出力として制限されている場合にのみです。DONEを使用した場合にも、DINピンでの競合を回避できます。ただし、アーリーDONEオプションが起動されていることが必要です。

図23に、マスタ/スレーブシステムを示します。最も左にあるデバイスがマスタシリアルモードにあり、チェーン内にあるその他のすべてのデバイスはスレーブシリアルモードにあります。

マスタシリアルモードは、MODEピンのLowで選択されます。



	Description	Symbol	Min	Max	Units
CCLK	DIN setup	1	T_{DSCK}	20	ns
	DIN hold	2	T_{CKDS}	0	ns

注：1. パワーアップ時に、25ms 以内に V_{CC} が 2.0V から $V_{CC\ min}$ まで上昇する必要があります。そうでない場合は、 V_{CC} が有効になるまで PROGRAM を Low にプルしてコンフィギュレーションを遅らせてください。

2. マスタシリアル タイミングは、スレーブ モードでのテストに基づいています。図 22 マスタシリアル モードのプログラミング スイッチング特性

スレーブ シリアル モード

スレーブシリアルモードでは、FPGA がシリアルコンフィギュレーションデータを CCLK の立ち上がりエッジで入力して、コンフィギュレーションをロードした後に、その他のデータ出力を次のデバイスに渡します。この際に、CCLK の次の立ち下がりエッジに再同期化されます。

このモードでは、外部信号（多くの場合マスタシリアルデバイス）が FPGA の CCLK 入力を駆動します。CCLK の各立ち上がりエッジの短いセットアップ時間だけ前に、シリアルコンフィギュレーションデータが先頭 FPGA の DIN 入力に入力される必要があります。

その後、先頭の FPGA はプリアンブルデータ（および先頭デバイスからオーバーフローするすべてのデータ）をその DOUT ピンに出力します。CCLK で 1.5 周期分の内部パイプライン遅延が発生します。これは、DOUT が CCLK の立ち下がりエッジで変化し、デジチェーン内の次の FPGA はデータを次の CCLK 立ち上がりエッジで受け取ることを意味します。

図 23 に、マスタ / スレーブシステムの全体を示します。スレーブシリアルモードにある Spartan シリーズデバイスは左から 3 番目のデバイスとして接続される必要があります。

スレーブシリアルモードは MODE ピンの High で選択されます。コンフィギュレーション中に MODE ピンは弱いプルアップ抵抗を持っているので、MODE ピンが未接続のままの場合は、スレーブシリアルがデフォルトモードになります。

同じコンフィギュレーションを持つ複数のスレーブデバイスの DIN 入力を並列に接続すると、複数のデバイスを同時にコンフィギュレーションすることができます。

シリアル デジチェーン

異なるコンフィギュレーションデータを持つ複数のデバイスを "デジチェーン" 接続し、1 つの統合ビットストリームを使用してスレーブデバイスのチェーンをコンフィギュレーションすることができます。

デバイスのデジチェーンを行うときは、全デバイスの CCLK ピンをパラレルに接続します（22 ページの図 23 参照）。各デバイスの DOUT を次のデバイスの DIN に接続します。先頭すなわちマスタの FPGA、およびそれ以降の各スレーブ FPGA には、同一ソースから得られた再同期化されたコンフィギュレーションデータが通過します。レングスカウントを含むヘッダデータが渡され、各 FPGA がプリアンブル 0010 を検出したときに、各 FPGA によりヘッダデータがキャプチャされます。レングスカウントデータ受信後に、各 FPGA が DOUT に High を出力し、所定データフレーム数の受信が完了するまでこの High 出力を維持します。

FPGA は自分のコンフィギュレーションデータを受け取った後、残りのフレーム スタート ビットとコンフィギュレーションデータを DOUT に出力して次のデバイスに渡します。メモリ初期化後に入力されたコンフィギュレーションクロックの合計数が、24 ビットのレングスカウントの値と等しくなったとき、FPGA は起動シーケンスを開始し、一斉に動作可能になります。FPGA I/O は、通常、最後のコンフィギュレーション ビットが受信されてから 2 CCLK サイクル後に解除されます。

デジチェーン接続されたビットストリームは、個々のビットストリームを単純に接続したものではありません。ビットストリームをデジチェーン接続でのコンフィギュレーション用に結合するときは、PROM ファイルフォーマットを使用する必要があります。

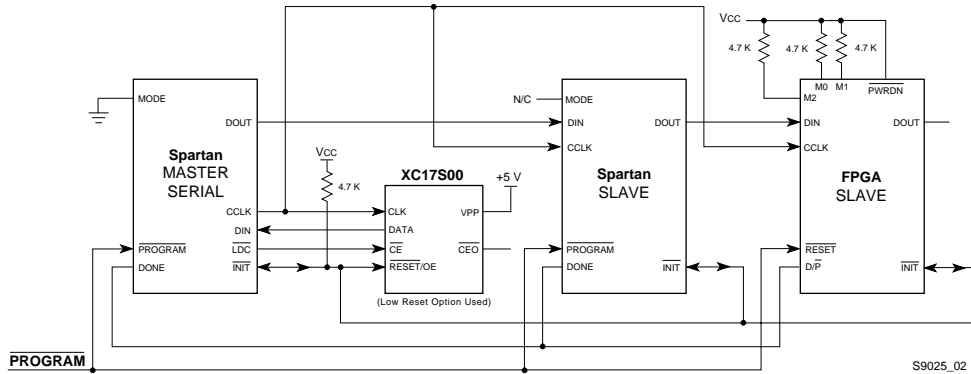
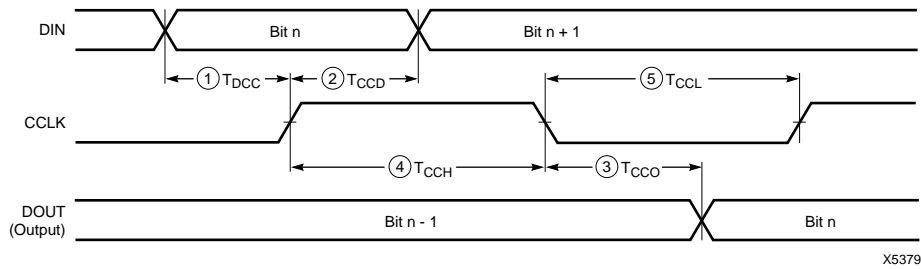


図 23 : マスタ / スレーブ シリアル モードの回路図



	Description	Symbol	Min	Max	Units
CCLK	DIN setup	1 T_{DCC}	20		ns
	DIN hold	2 T_{CCD}	0		ns
	DIN to DOUT	3 T_{CCO}		30	ns
	High time	4 T_{CCH}	45		ns
	Low time	5 T_{CCL}	45		ns
	Frequency		F_{CC}		10

注 : デイジー チェーン 接続された全 FPGA の INIT ピンが High になるまで、コンフィギュレーションを遅らせる必要があります。

図 24 : スレーブ シリアル モードのプログラミング スイッチング特性

CCLK 周波数の設定

マスタ モードでは、2 種類の CCLK 周波数を発生することができます。デフォルトの低速モードでは、Spartan シリーズ デバイスに対して 0.5MHz ~ 1.25MHz の周波数が可能です。高速 CCLK モードでは、Spartan シリーズ デバイスに対して 4MHz ~ 10MHz の周波数が可能です。周波数は、ビットストリーム生成ソフトウェアを動作させるときのオプションにより選択されます。低速モードがデフォルトになっています。

データストリームのフォーマット

データストリーム ("ビットストリーム") のフォーマットは両コンフィギュレーション モードで同じです。表 13 に、データストリームフォーマットを示します。ビットシリアルデータは左から右に読み込まれます。

コンフィギュレーションデータストリームは 8 個の 1 の連続 (プリアンブルコード) で始まり、24 ビットのレンガ カウントおよび 1 の連続による区切りフィールドがこの順に続きます。このヘッダの後に、フレーム形式で実際のコンフィギュレーションデータが続きます。長さやフレーム数はデバイスタイプに依存します (表 14 参照)。各フレームはスタートフィールドで始まり、エラーチェックで終了します。デバイスにデータの終了を知らせるために、ポストアンブルコードが必要です。

コンフィギュレーションの終りに起動シーケンスに対して4クロックを与えるために、すべてのケースでデータの起動バイトを追加する必要があります。長いデジターチェーンでは、チェーン内で最終データをシフトするために、起動バイトを追加する必要があります。すべての起動バイトは don't-care です。すなわち、これらのバイトはザイリンクスソフトウェアにより生成されたビットストリームには含まれていません。

表 13 : Spartan シリーズのデータストリーム フォーマット

Data Type	
Fill Byte	11111111b
Preamble Code	0010b
Length Count	COUNT(23:0)
Fill Bits	1111b
Start Field	0b
Data Frame	DATA(n-1:0)
CRC or Constant Field Check	xxxx (CRC) or 0110b
Extend Write Cycle	—
Postamble	01111111b
Start-Up Bytes	xxh

LEGEND:

Unshaded	Once per bitstream
Light	Once per data frame
Dark	Once per device

ビットストリーム生成ソフトウェアでは、オプションによりCRC エラー チェック有無の選択ができます。CRC エラー チェック無しでは、各フレームについて指定された End-of-Frame フィールドを調べます。CRC エラー チェック有りでは、このソフトウェアは CRC を計算してユニークな4ビットの部分チェックを各フレームの終りに挿入します。FPGA の最終フレーム内にあるCRC チェックの11ビットには、最終データビットの7ビットが含まれます。

エラーを検出すると、データロードを停止して $\overline{\text{INIT}}$ ピンをプルダウンします。マスタシリアルモードでは、外部で CCLK 信号とアドレス信号は動作を続けます。ユーザは $\overline{\text{INIT}}$ をチェックして、PROGRAM ピンに Low レベルあるいは Vcc レベルを入力して新しいコンフィギュレーションを初期化する必要があります。

コンフィギュレーションとリードバックに対するCRC チェック

CRC チェックはデータ転送アプリケーションで使用されているエラー検出法です。一般に、送信側システムがシリアルビットストリームに対して計算を実行します。この計算の結果は、そのデータストリームに対するチェックビットとして追加されます。受信側システムは同じ計算をビットストリームに対して実行し、計算結果を受信したチェックサムと比較します。

コンフィギュレーションビットストリームの各データフレームは終りに4ビットのエラービットを持っています(表13)。FPGA のローディング中にフレームデータエラーが検出されると、異常ビットストリームを持つコンフィギュレーションプロセスは停止されます。FPGA は $\overline{\text{INIT}}$ ピンに Low を出力して、ウェイト状態になります。

表 14 : Spartan のプログラム データ

Device	XCS05	XCS10	XCS20	XCS30	XCS40
Max System Gates	5,000	10,000	20,000	30,000	40,000
CLBs (Row x Col.)	100 (10 x 10)	196 (14 x 14)	400 (20 x 20)	576 (24 x 24)	784 (28 x 28)
IOBs	80	112	160	192	224
Flip-Flops	360	616	1,120	1,536	2,016
Horizontal Longlines	20	28	40	48	56
TBUFs per Longline	12	16	22	26	30
Bits per Frame	126	166	226	266	306
Frames	428	572	788	932	1,076
Program Data	53,936	94,960	178,096	247,920	329,264
PROM Size (bits)	53,984	95,008	178,144	247,968	329,312

注 : 1. 1 フレームのビット数 = (10 × 行数) + 上部に対して 7 + 下部に対して 13 + 1 + 1 スタートビット + 4 エラー チェック ビット

フレーム数 = (36 × 列数) + 左縁に対して 26 + 右縁に対して 41 + 1

プログラム データ = (フレーム内のビット数 × フレーム数) + 8 ポストアンブル ビット

PROM サイズ = プログラム データ + 40(ヘッダ) + 8

- ユーザはヘッダ内の先頭ダミービットとしてさらに "1" ビットを追加することができます。あるいは、CRC = off の場合、フレームの終りの最後尾のダミービットとしてエラー チェックの4ビットの後ろにさらに "1" ビットを追加することができます。ただし、ヘッダの開始に余分な1の連続が存在している場合でも、これら余分な "1" ビットに対しては、レンクス カウント値を調整する必要があります。

リードバック中に、16 ビット チェックサム内の 11 ビットが、リードバック データ ストリームの終りに追加されます。チェックサムは CRC-16 CCITT 多項式 (図 25) を使用して計算します。チェックサムは、16 ビット コードの上位 11 ビットで構成されています。チェックサムの変化は、リードバック ビット ストリームの変化を意味します。リードバック データがカレント デバイス 状態と無関係な場合にのみ、前のチェックサムとの比較が意味を持ちます。CLB 出力を含むことはできません (リードバック キャプチャ オプションは使用不可)、また RAM が存在する場合は、RAM 内容の変化は許容されません。

統計的には、エラー検出ミスは 1/2048 です。

コンフィギュレーション シーケンス

Spartan シリーズ パワーアップ コンフィギュレーション シーケンスには、次の 4 つの主要なステップがあります。

- コンフィギュレーション メモリのクリア
- 初期化
- コンフィギュレーション
- スタートアップ

プロセス全体を図 26 に示します。

コンフィギュレーション メモリのクリア

FPGA に対して最初に電源が投入されたとき、または電源が再投入されたとき、内部回路は強制的にコンフィギュレーション ロジックを初期化します。Vcc が動作レベルに達し、かつ回路がコンフィギュレーション ビットのサンプル対に対する書き込みと読み出しのテストをパスすると、遅延がスタートします。この時間遅延は公称 16ms で、Spartan-XL デバイスでは最大 10% 長くなります。全スレーブが安定な Vcc に達するための十分な時間を確保するため、マスタ モード (MODE が Low レベル) では遅延が 4 倍の長さになります。推奨に従い全 INIT ピンを一緒に接続したときには、遅延時間は長くなります。したがって、異なる遅延を持つデバイスが混在していても、容易にデジタイズ チェーン接続することができます。

この遅延はパワーアップ時のみ適用されます。PROGRAM ピンに Low パルスを入力して FPGA をリコンフィギュレーションするときには適用されません。

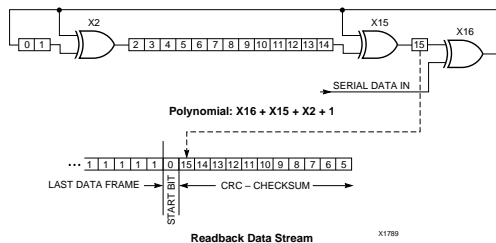


図 25 : CRC-16 生成回路

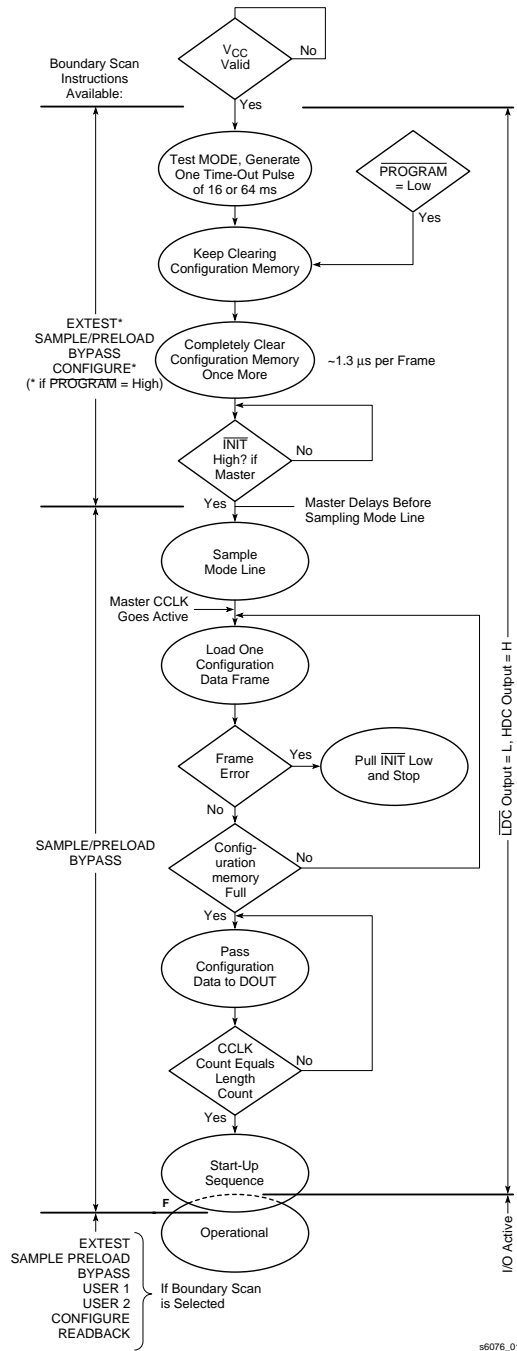


図 26 : パワーアップ コンフィギュレーションのシーケンス

この遅延時間中、またはPROGRAM 入力が入力されている間、コンフィギュレーション ロジックは、コンフィギュレーション メモリクリア状態を維持します。引き続き、内部発振器を使用して、コンフィギュレーション メモリフレームが初期化されます。各フレーム アドレスの通過が終了する度に、パワーオン タイムアウト遅延回路とPROGRAM ピンのレベルがテストされます。どちらもアサートされていない場合には、ロジックはコンフィギュレーション フレームをもう一度クリアして、INIT 入力をテストします。

初期化

初期化とコンフィギュレーションの間、ユーザ ピンの HDC、LDC、INIT、DONE は、システム インターフェイスに対してステータス出力を提供します。最初に電源を投入した時点から、出力のLDC、INIT、DONE は Low に、HDC は High にそれぞれ維持されます。

オープンドレインのINIT ピンは、最後の初期化がフレーム アドレスを通過させたときに解除されます。INIT のインアクティブを検出する際には、確認用の遅延時間があります。マスタモードのデバイスはINIT ピンが High として検出されてから内部クロックで 2 サイクル後に、FPGA は MODE ピンをサンプルしてコンフィギュレーション モードを決定します。該当するインターフェイス ラインはアクティブになり、コンフィギュレーション プリアンプルとデータのロードが可能になります。

コンフィギュレーション

プリアンブルコード 0010 は、後続の 24 ビットはレンクス カウントであることを識別します。レンクス カウントはすべてのコンフィギュレーション データをロードするために必要なコンフィギュレーション クロックの合計サイクル数です (以下に述べるようなコンフィギュレーション プロセスを完了するためには、さらにコンフィギュレーション クロックを 4 サイクル追加する必要があります)。デジタ チェーン内の全デバイスでプリアンブルとレンクス カウントが通過すると、DOUT が High になり、フレーム スタートビットがデジタ チェーン接続された各デバイスに到達するのを阻止します。

マスタデバイスの先頭フレームの始めにある特別なコンフィギュレーション ビットが、コンフィギュレーション クロック レートを制御し、8 倍単位でクロック レートを増加させることができます。したがって、ビットストリームにより高速コンフィギュレーション クロックが選択されている場合には、コンフィギュレーション ビットが検出される前は、低速クロック レートが使用されます。

各フレームにはスタートフィールドがあり、この後にフレーム コンフィギュレーション データビットとフレーム エラー フィールドが続きます。フレームのデータエラーが検出されると、FPGA はローディングを停止して、オープンドレインのINIT ピンを Low にプルダウンしてエラーを通知します。全コンフィギュレーション フレームが FPGA にロードされると、DOUT は再び入力データを出力して、残りのデータを次のデバイスに渡します。

パワーアップ後のコンフィギュレーションの遅延

パワーアップ後にコンフィギュレーションを遅延させる方法には、次の 2 つがあります。すなわち、PROGRAM 入力にロジック Low レベルを入力する方法、またはオープンコレクタ (オープンドレイン) ドライバを使用して、双方向INIT ピンを Low にプルダウンする方法です (24 ページの図 26 参照)。

PROGRAM 入力に Low を入力する方法は、より直接的なアプローチであり、電源の立ち上がり時間が長い場合または一定ではない場合に、このアプローチを推奨します。

PROGRAM が Low の間は、FPGA はコンフィギュレーション メモリのクリア動作を続けます。PROGRAM が High になると、コンフィギュレーション メモリが再度クリアされ、外部でINIT 入力が強制的に Low にされていないと、コンフィギュレーションが開始されます。PROGRAM 入力に Low を入力すると、自動的に INIT 出力が Low になることに注意してください。Spartan シリーズのPROGRAM ピンは常に弱いプルアップを持っています。

オープンコレクタまたはオープンドレインのドライバを使用してINIT を Low に維持した後に、コンフィギュレーションを開始させると、FPGA はコンフィギュレーション メモリクリア動作を終了すると待ち状態になります。外部でINIT への Low 入力を解除すると、デバイスはMODE ピンのサンプルを行って、コンフィギュレーション モードを決定して、コンフィギュレーション プロセスの開始の準備を終了します。マスタデバイスは、オプションのデジタ チェーン内にあるすべてのスレーブがINITの High を確実に検出できるように、さらに最大 300 μ s 間待ちます。

バウンダリ スキャン ピンを使用するコンフィギュレーション

Spartan シリーズ デバイスはバウンダリ スキャン ピンを使用し、コンフィギュレーションを行うことができます。基本的な手順を次に示します。

- INIT を Low にして FPGA をパワーアップします (またはINIT を Low に維持して、PROGRAM ピンを 300ns 以上 Low にした後に High にします)。INIT を Low に維持すると、FPGA に対する CONFIG コマンドの発行に必要な十分な時間を確保することができます。抵抗を使用してINIT を Low に保持した場合は、コンフィギュレーション終了後に、このピンはI/Oとして使用することができます。
- TMS 入力に対して CONFIG コマンドを発行します。
- INIT が High になるのを待ちます。
- バウンダリ スキャン テスト アクセスポートを SHIFT-DR 状態に進めます。
- TCK をトリグして、TDI ピンにデータを入力します。

これらの全サイクルはレンクス カウントの比較に関与するため、ユーザはINIT が High になった後の全 TCK クロック サイクル数を考慮する必要があります。

詳細については、ザイリックス アプリケーション ノート "Boundary Scan in FPGA Devices" を参照してください。このアプリケーション ノートは Spartan デバイスと Spartan-XL デバイスにも適用されます。

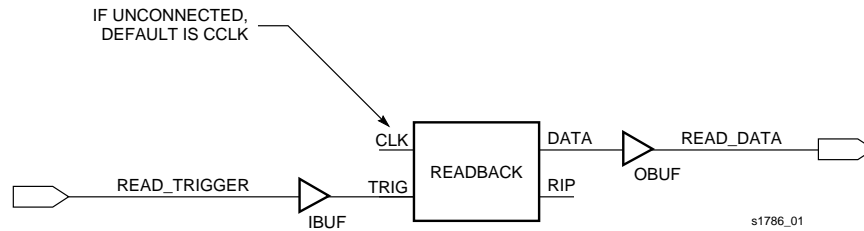


図 27: リードバック回路の例

リードバック

ユーザは、デバイスの通常動作を妨害することなく、コンフィギュレーション メモリの内容と内部ノードの所定のレベルをリードバックすることができます。

リードバックはダウンロードされたコンフィギュレーション ビットを報告するだけでなく、CLB と IOB 内の全フリップフロップとラッチの内容、および RAM として使用されたファンクション ジェネレータの内容により提供されるデバイスの現在の状態も含んでいます。

Spartan シリーズのリードバックでは専用ピンを使用しませんが、任意の IOB に配線できる4個の内部ネット (RDBK.TRIG、RDBK.DATA、RDBK.RIP、RDBK.CLK) を使用しています。内部リードバック信号をアクセスするときは、READBACK ライブラリシンボルを配置して該当するパッドシンボルをアタッチします (図 27)。

RDBK.TRIG の Low から High への変化により、リードバックが開始された後は、RDBK.CLK の次の立ち上がりエッジで、RDBK.RIP 出力 (Read In の進行) が High になります。このクロックの後続立ち上がりエッジにより、リードバック データが RDBK.DATA ネットにシフトアウトされます。

リードバック データにはプリアンプルが含まれませんが、先頭に 5 ビット (全ビット High) のダミー ビットがあり、この後に先頭フレームのスタートビットが続きます。先頭フレームの最初の 2 データビットは常に High です。

各フレームの終わりにはエラー チェックの 4 ビットが付きます。これらは High としてリードバックされます。最終フレームの最後の 7 ビットも High としてリードバックされます。追加スタートビット (Low) と 11 ビットの CRC が続いた後に RDBK.RIP が Low に戻ります。

リードバックのオプション

リードバック オプションには、Read Capture、Readback Abort、Clock Select があります。これらはビットストリーム生成ソフトウェアにより設定されます。

Read Capture

Read Capture オプションが選択されると、リードバックデータストリームに CLB 信号と IOB 信号のサンプル値が含まれます。RDBK.TRIG の立ち上がりエッジで、4 個の CLB 出力の反転された値、IOB 出力フリップフロップ、入力信号 I1 と I2 がラッチされます。コンフィギュレーション (内部接続、ファンクション ジェネレータ、RAM の値) を記述するビットは非反転ですが、

CLB と IOB の出力信号は反転されていることに注意してください。

Read Capture オプションが選択されていないときは、キャプチャ ビットの値にはこれらのメモリ ロケーションに書き込まれている元のコンフィギュレーション データが表示されます。

CLB の RAM 機能を使用している場合は、RAM データは CLB の F と G ファンクション テーブル コンフィギュレーションに直接上書きされるため、リードバック内容に RAM データが含まれます。

RDBK.TRIG はデバイスの左下に配置されています (図 28)。

Readback Abort

Readback Abort オプションを選択すると、RDBK.TRIG の High から Low への変化で、リードバック動作が終了し、ロジックが次のトリガを受け付ける準備をします。

リードバックのアボート後、制御ロジックを再初期化するために、追加クロック (コンフィギュレーション フレーム当り最大 1 リードバッククロック) が必要となることがあります。リードバックのステータスは、出力コントロールネット RDBK.RIP により表示されます。リードバック動作中は、RDBK.RIP は High を出力します。

Clock Select

CCLK がデフォルトクロックになっていますが、ユーザは別のクロックを RDBK.CLK に入力することができます。リードバックの制御とデータは、RDBK.CLK の立ち上がりエッジでクロックされます。リードバックをセキュリティのために禁止する必要がある場合は、単独にリードバックコントロール ネットの接続を行いません。

RDBK.CLK はチップの右下に配置されています。

リードバック クロックの High 時間と Low 時間の最大値仕様に対する違反

リードバック クロックには、High 時間と Low 時間の最大値仕様があります。ケースによっては、この仕様を満たすことができない場合があります。例えば、プロセッサがリードバックを制御している場合に、割込みにより強制的にリードバックの途中で停止させられることがあります。このためにクロックを停止する必要が生じて、この仕様を満たすことができません。

この仕様は、フレームの終わりにかつ次のスタートビットの前にあるクロック データについてのみ意味があります。フレームの終りの 6 クロック サイクル中 (かつ次フレームのスタートビット前) に、データがシフトレジスタにロードされます。このロード プロセスは動的で、これが High 時間と Low 時間の最大条件が必要な原因になっています。

したがって、この仕様は任意のスタートビットを含む終りの6クロックサイクルにのみ適用されます。ただし、リードバックデータストリーム内の先頭スタートビットの前にあるクロックも含まれます。他の時間では、フレームデータは既にレジスタ内にあり、レジスタは動的ではありません。したがって、通常のシフトレジスタと同様にシフトアウトされます。

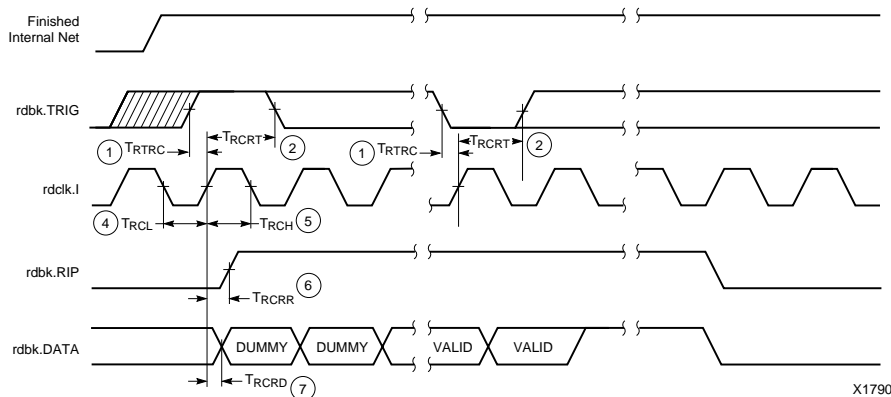
ユーザはリードバックデータのフレームに対する相対位置を正確に計算する必要があります。システムはデータフレーム内の位置を管理して、フレーム境界の前では割込みをディスエーブルします。表 13 と表 14 に、フレーム長とデータフォーマットを示します。

XChecker ケーブルを使用するリードバック

XChecker ユニバーサルダウンロード / リードバックケーブルとロジックプローブでは、ビットストリーム検証のためにリードバック機能を使用しています。また、選択した内部信号を PC またはワークステーションのスクリーンに表示し、低価格インサーキットエミュレータとして機能します。

Spartan プログラム リードバック スイッチング特性のガイドライン

スイッチングパラメータのテストは、MIL-M-38510/605に規定されているテスト方法に従いモデル化されています。全デバイスは100%機能テストされています。内部タイミングパラメータは直接測定されたものではなく、プロセス改善前のデバイスの導入時に測定されたベンチマークタイミングパラメータから導出されたものです。下記のガイドラインは推奨動作条件でのワーストケース値を反映しています。



Spartan and Spartan-XL

	Description	Symbol	Min	Max	Units
rdbk.TRIG	rdbk.TRIG setup to initiate and abort Readback	1 T_{RTRC}	200	-	ns
	rdbk.TRIG hold to initiate and abort Readback	2 T_{RCRT}	50	-	ns
rdclk.1	rdbk.DATA delay	7 T_{RCRD}	-	250	ns
	rdbk.RIP delay	6 T_{RCRR}	-	250	ns
	High time	5 T_{RCH}	250	500	ns
	Low time	4 T_{RCL}	250	500	ns

Note 1: タイミングパラメータはすべてのグレードに適用されます。

Note 2: Finished の前に rdbk.TRIG が High となる場合は、Finished が先にリードバックを起動します。



製品仕様

ピンの説明	31
Spartan の電気的特性とスイッチング特性	34
Spartan-XL の電気的特性	44
ピン配置表	47
ユーザI/O数	57
注文コード様式	58

ピンの説明

Spartan シリーズ デバイスには、次の 3 タイプのピンがあります。

- 常時専用ピン
- 特別な機能を持つことができるユーザ I/O ピン
- 制約なしにユーザがプログラムできる I/O ピン

コンフィギュレーションの前後に、コンフィギュレーション プロセスで使用されないすべての出力ピンは、プルアップ抵抗付きのスリーステートになります。コンフィギュレーション終了後は、IOBが使用されない場合、そのIOBIはI/Oプルアップ抵抗がアクティブのまま入力に設定されます。

任意のユーザ I/O をグローバル セット / リセット ネット (GSR) またはグローバル スリーステート ネット (GTS) を駆動するようにコンフィギュレーションすることができます。GTS については、17 ページの「グローバル信号 : GSR および GTS」の節を参照してください。

表 15 に、Spartan シリーズ デバイスのデバイス ピンを説明します。

表 15: ピンの説明

Pin Name	I/O During Config.	I/O After Config.	Pin Description
常時専用ピン			
VCC	X	X	8 本以上の (パッケージタイプに依存) 公称 +5V 電源電圧に対するピン接続 (低電圧デバイスの場合は +3.3V)。全ピンを接続する必要があります。各ピンは 0.01 ~ 0.1 μ F のキャパシタでグラウンドにデカップルする必要があります。
GND	X	X	8 本以上の (パッケージタイプに依存) グラウンドに対するピン接続。全ピンを接続する必要があります。
CCLK	またはO	I	コンフィギュレーション中、コンフィギュレーション クロック (CCLK) はマスタ モードで出力。スレーブ モードでは入力。コンフィギュレーション後、CCLK は弱いプルアップ抵抗を持ち、リードバッククロックとして選択可能。Spartan シリーズ デバイスには CCLK の High 時間または Low 時間の制限はありません。ただし、リードバック時は除きます。この例外の説明については、26 ページの「リードバッククロックの High 時間と Low 時間の最大値仕様に対する違反」の節を参照してください。
DONE	I/O	O	このピンは、オプションの内部プルアップ抵抗を持つ双方向信号。出力の場合は、コンフィギュレーションプロセスの終了を表示。入力の場合は、DONE ピン上の Low レベルにより、グローバル ロジックの初期化または出力のイネーブルを遅延させるようにコンフィギュレーションすることができます。コンフィギュレーションを生成するプログラムのオプションとして、オプションのプルアップ抵抗値が選択されます。デフォルトでは抵抗が含まれます。
PROGRAM	I	I	このピンはアクティブ Low 入力で、強制的に FPGA にコンフィギュレーション メモリをクリアさせます。このピンはコンフィギュレーション サイクルの起動に使用されます。PROGRAM が High になると、FPGA は現在のクリア サイクルを完了させ、さらにもう 1 サイクルのクリア サイクルを始めから最後まで実行して、WAIT 状態に入り INIT を解除します。このピンは常時弱いプルアップ抵抗を持っています。
MODE	I	X	使用するコンフィギュレーション モードを決定するために、この MODE ピンを INIT が High になった後にサンプルします。MODE ピンは、コンフィギュレーション中に弱いプルアップ抵抗を持ちます。最も一般的に使用されるスレーブシリアル モードに対しては、このピンをオープンのままにしておくことができます。マスタスレーブ モードに対しては、このピンを直接システム グラウンドに接続してください。
Don't Connect			工場出荷テストおよび将来の機能拡張用に予約されています。ピンはフローティングのままにしておく必要があります。
特別な機能を持つユーザ I/O ピン			
TDO	O	O	バウンダリ スキャンを使用する場合は、このピンはテスト データ出力になります。バウンダリ スキャンを使用しない場合は、コンフィギュレーション後にこのピンはレジスタを持たないスリーステート出力になります。このピンを使用するときは、通常のパッドシンボルの代わりに、ライブラリ コンポーネントの TDO を配置します。出力バッファも使用する必要があります。

表15: ピンの説明(続き)

Pin Name	I/O During Config.	I/O After Config.	Pin Description
TDI, TCK, TMS	I	I/O または I (JTAG)	バウンダリ スキャンを使用する場合は、これらのピンはそれぞれテスト データ入力、テストクロック、テストモード セレクト入力になります。これらは IOB をバイパスして、パッドから直接接続されます。コンフィギュレーション終了後、これらのピンは CLB ロジックに対する入力として使用できます。 バウンダリ スキャンを使用しない場合は、コンフィギュレーション終了後に、全バウンダリ スキャン機能が禁止されて、これらのピンはユーザ プログラマブル I/O になります。この場合には、特別なライブラリ エLEMENT から呼び出される必要があります。これらのピンを使用するときは、通常のパッドシンボルの代わりに、ライブラリ コンポーネントの TDI, TCK, TMS を配置します。入力バッファまたは出力バッファも使用する必要があります。
HDC	O	I/O	I/O がアクティブになるまで、この HDC (High During Configuration) は High に駆動されます。コンフィギュレーション進行中を表示する制御出力としてこの信号を使用することができます。コンフィギュレーション後は、HDC はユーザ プログラマブル I/O ピンになります。
$\overline{\text{LDC}}$	O	I/O	I/O がアクティブになるまで、この $\overline{\text{LDC}}$ (Low During Configuration) は Low に駆動されます。コンフィギュレーション進行中を表示する制御出力としてこの信号を使用することができます。コンフィギュレーション後は、LDC はユーザ プログラマブル I/O ピンになります。
$\overline{\text{INIT}}$	I/O	I/O	コンフィギュレーションの前と最中に、 $\overline{\text{INIT}}$ は双方向信号になります。1K ~ 10K の外付けプルアップ抵抗の接続が推奨されます。 アクティブ Low のオープンドレイン出力として、電源安定化中およびコンフィギュレーション メモリのクリア中、INIT は Low 出力を維持します。アクティブ Low 入力としては、コンフィギュレーションの開始前に FPGA を内部 WAIT 状態に維持するときに使用できます。マスタ モード デバイスは、INIT が High に変化した後さらに 30 ~ 300 μs 間 WAIT 状態に留まります。 コンフィギュレーション中は、この出力上の Low レベルはコンフィギュレーション データ エラーが発生したことを表示します。I/O がアクティブになった後は、 $\overline{\text{INIT}}$ はユーザ プログラマブル I/O ピンになります。
PGCK1 ~ PGCK4	Weak Pull-up	I または I/O	これらの 4 本のプライマリ グローバル 入力は、専用内部グローバル ネットを短い遅延と最小のスキューで駆動します。グローバル バッファの駆動に使用しない場合は、これらのピンは、いずれもユーザ プログラマブル I/O になります。 PGCK1 ~ PGCK4 ピンは、4 つのプライマリ グローバル バッファを駆動します。BUFGP の入力に直接接続される任意の入力パッド シンボルが、これらのピンの 1 つに自動的に配置されます。
SGCK1 ~ SGCK4	Weak Pull-up	I または I/O	これらの 4 本のセカンダリ グローバル 入力は、専用内部グローバル ネットを短い遅延と最小のスキューで駆動します。これらの内部グローバル ネットは内部ロジックからも駆動できます。グローバル バッファの駆動に使用しない場合は、これらのピンは、いずれもユーザ プログラマブル I/O になります。 SGCK1 ~ SGCK4 ピンは、4 つのセカンダリ グローバル バッファに対して最短のパスを提供します。BUFGS の入力に直接接続される任意の入力パッド シンボルが、これらのピンの 1 つに自動的に配置されます。
DIN	I	I/O	コンフィギュレーション中は、DIN はシリアル コンフィギュレーション データ入力になり、データは CCLK の立ち上がりエッジで入力されます。コンフィギュレーション後は、DIN ピンはユーザ プログラマブル I/O ピンになります。
DOUT	O	I/O	コンフィギュレーション中に、DOUT はシリアル コンフィギュレーション データ出力になります。この出力は、デジタイズされたスレープ FPGA の DIN を駆動することができます。DOUT データは CCLK の立ち下がりエッジで変化し、1.5CCLK 周期後に DIN ピンで読み込まれます。コンフィギュレーション後は、このピンはユーザ プログラマブル I/O ピンになります。
制約なしのユーザ プログラマブルな I/O ピン			
I/O	Weak Pull-up	I/O	コンフィギュレーション終了後、これらのピンは入力および / または出力としてコンフィギュレーションすることができます。コンフィギュレーション終了前は、これらのピンは内部に高インピーダンスのプルアップ抵抗ネットワークを持ち、ロジック レベルを High に定めます。

表 16 : コンフィギュレーション時のピン機能

CONFIGURATION MODE <MODE Pin>		
SLAVE SERIAL <High>	MASTER SERIAL <Low>	USER OPERATION
MODE (I)	MODE (I)	MODE
HDC (HIGH)	HDC (HIGH)	I/O
$\overline{\text{LDC}}$ (LOW)	$\overline{\text{LDC}}$ (LOW)	I/O
$\overline{\text{INIT}}$	$\overline{\text{INIT}}$	I/O
DONE	DONE	DONE
$\overline{\text{PROGRAM}}$ (I)	$\overline{\text{PROGRAM}}$ (I)	$\overline{\text{PROGRAM}}$
CCLK (I)	CCLK (O)	CCLK (I)
DIN (I)	DIN (I)	I/O
DOUT	DOUT	SGCK4-I/O
TDI	TDI	TDI-I/O
TCK	TCK	TCK-I/O
TMS	TMS	TMS-I/O
TDO	TDO	TDO-(O)
		ALL OTHERS

注 : 1. 網点表示された部分は、コンフィギュレーションの前と最中に内部プルアップ抵抗を持つことを示します。

2. (I) は入力を、(O) は出力をそれぞれ表します。

3. $\overline{\text{INIT}}$ は、コンフィギュレーション中にオープンドレイン出力になります。

Spartan の電気的特性とスイッチング特性

用語の定義

以下の表内でアドバンス情報 (Advance) または暫定情報 (Preliminary) と表示されている仕様があります。これらの用語は次のように定義します。

アドバンス情報 シミュレーションおよび / または他のスピード グレード、デバイス、またはデバイス・ファミリからの外挿に基づいた初期予測値。値は変更されることがあります。製品性能の予測目的のみに使用し、量産製品には使用しないでください。

暫定情報 暫定的な特性化に基づきます。変更されることがありますが、その可能性は稀です。

特別な表示なし アドバンス情報または暫定情報と表示されていない仕様は、最終情報です。

Spartan の絶対最大定格

Symbol	Description	Value	Units
V_{CC}	Supply voltage relative to GND	-0.5 to +7.0	V
V_{IN}	Input voltage relative to GND (Note 1)	-0.5 to V_{CC} +0.5	V
V_{TS}	Voltage applied to 3-state output (Note 1)	-0.5 to V_{CC} +0.5	V
T_{STG}	Storage temperature (ambient)	-65 to +150	°C
T_{SOL}	Maximum soldering temperature (10 s @ 1/16 in. = 1.5 mm)	+260	°C
T_J	Junction temperature	Plastic packages +125	°C

Note 1: V_{CC} より高いまたは GND より低い最大 DC オーバシュートまたはアンダシュートは、0.5V または 10mA のいずれか達成し易い方に制限する必要があります。過渡状態で、デバイス ピンでは -2.0V までのアンダシュート、または +7.0V までのオーバシュートが許容できます。ただし、これらのオーバシュートまたはアンダシュートの継続時間は 10ns より小さく、かつ電流を 200mA に制限するものとします。

Note 2: 絶対最大定格に記載する値を超えるストレスは、デバイスに恒久的な損傷を与える原因になることがあります。これらの値は定格を示すものであり、動作条件に記載した値でまたはその値を超える条件でのデバイスの機能動作を意味するものではありません。絶対最大定格条件のもとに長期間おくと、デバイスの信頼性に影響を与えることがあります。

Spartan の推奨動作条件

Symbol	Description	Min	Max	Units	
V_{CC}	Supply voltage relative to GND, $T_J = -0\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$	Commercial	4.75	5.25	V
	Supply voltage relative to GND, $T_J = -40\text{ }^{\circ}\text{C}$ to $+100\text{ }^{\circ}\text{C}$	Industrial	4.5	5.5	V
V_{IH}	High-level input voltage	TTL inputs	2.0	V_{CC}	V
		CMOS inputs	70%	100%	V_{CC}
V_{IL}	Low-level input voltage	TTL inputs	0	0.8	V
		CMOS inputs	0	20%	V_{CC}
T_{IN}	Input signal transition time		250	ns	

Note: 動作条件として上に記載された接合温度では、すべての遅延パラメータは 0.35%/ で増加します。
入力と出力の測定スレッショルドは、TTL では 1.5V、CMOS では 2.5V です。

動作条件での Spartan の DC 特性

Symbol	Description		Min	Max	Units
V _{OH}	High-level output voltage @ I _{OH} = -4.0mA, V _{CC} min	TTL outputs	2.4		V
	High-level output voltage @ I _{OH} = -1.0mA, V _{CC} min	CMOS outputs	V _{CC} -0.5		V
V _{OL}	Low-level output voltage @ I _{OL} = 12.0mA, V _{CC} min (Note 1)	TTL outputs		0.4	V
		CMOS outputs		0.4	V
I _{CCO}	Quiescent FPGA supply current (Note 2)	Commercial		3.0	mA
		Industrial		6.0	mA
I _L	Input or output leakage current		-10	+10	μA
C _{IN}	Input capacitance (sample tested)			10	pF
I _{RPU}	Pad pull-up (when selected) @ V _{IN} = 0V (sample tested)		0.02	0.25	mA
I _{RPD}	Pad pull-down (when selected) @ V _{IN} = 5 V (sample tested)		0.02		mA

Note 1: 出力の 50% で同時シンク 12mA。最大 64 ピンまで。

Note 2: 出力電流負荷なし、アクティブ入力なし、またはロングラインのプルアップ抵抗なし、全パッケージピンは V_{CC} または GND、FPGA を Tie オプションによりコンフィギュレーションした場合

Spartan グローバル バッファのスイッチング特性ガイドライン

スイッチング パラメータのテストは、MIL-M-38510/605 に規定されているテスト方法に従いモデル化されています。全デバイスは 100% 機能テストされています。内部タイミング パラメータは、内部テスト パターンの測定から導出されたものです。下記の値は1つのグローバルクロック入力にアクセス可能な各列内の1つの垂直クロックラインを駆動し、さらにアクセス可能な全IOBフリップフロップと全CLBフリップフロップがそのグローバルクロック ネットから駆動される場合の値です。

接続される垂直クロックライン数が少ないほど、クロック分配は高速になります。一方、同じグローバルクロックから駆動される列当たりのクロックライン数が増えると、遅延が増えます。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティック タイミング アナライザ(ザイリンクス開発システムのTRCE)が提供するデータとシミュレーション ネットリストに対するバック アノテーション データを使ってください。ガイドラインとしてここに示すパス遅延はスタティック タイミング アナライザ レポートから取り出したものです。タイミング パラメータは、すべてワースト ケース動作条件(電源電圧と接合温度)での値です。

Description	Speed Grade		-3	-4	Units
	Symbol	Device	Max	Max	
From pad through Primary buffer, to any clock K	T _{PG}	XCS05	4.0		ns
		XCS10	4.3		ns
		XCS20	5.4		ns
		XCS30	5.8		ns
		XCS40	6.4		ns
From pad through Secondary buffer, to any clock K	T _{SG}	XCS05	4.4		ns
		XCS10	4.7		ns
		XCS20	5.8		ns
		XCS30	6.2		ns
		XCS40	6.7		ns
			Preliminary	Advance	

Spartan 水平ロングラインのスイッチング特性ガイドライン

スイッチング パラメータのテストは、MIL-M-38510/605 に規定されているテスト方法に従いモデル化されています。全デバイスは 100% 機能テストされています。内部タイミング パラメータは、内部テスト パターンの測定から導出されたものです。下記の値は代表値です。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティック タイミング アナライザ(ザイリンクス開発システムのTRCE)が提供するデータとシミュレーション ネットリストに対するバック アノテーション データを使ってください。ガイドラインとしてここに示すパス遅延はスタティック タイミング アナライザ レポートから取り出したものです。タイミング パラメータは、すべてワースト ケース動作条件(電源電圧と接合温度)での値です。別に注記がない限り、値は すべての Spartan デバイスに適用されます。

下記のガイドラインは、推奨動作条件でのワースト ケース値を表しています。

Description	Speed Grade		-3	-4	Units
	Symbol	Device	Max	Max	
TBUF driving a Horizontal Longline (LL):					
I going High or Low to LL going High or Low, while T is low. Buffer is constantly active. (Note 1)	T _{IO1}	XCS05	3.4		ns
		XCS10	4.0		ns
		XCS20	5.1		ns
		XCS30	5.7		ns
		XCS40	7.3		ns
T going Low to LL going from floating High to active Low. TBUF configured as open-drain or active buffer with I = Low. (Note 1)	T _{ON}	XCS05	3.9		ns
		XCS10	5.7		ns
		XCS20	6.2		ns
		XCS30	7.0		ns
		XCS40	7.1		ns
			Preliminary	Advance	

Note 1: これらの値には最小負荷が含まれます。各ディスティネーションまでの遅延を求めるときは、スタティック タイミング アナライザを使ってください。

Spartan CLB のスイッチング特性ガイドライン

スイッチングパラメータのテストは、MIL-M-38510/605 に規定されているテスト方法に従いモデル化されています。全デバイスは100% 機能テストされています。内部タイミングパラメータは、内部テストパターンの測定から導出されたものです。下記の値は代表値です。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティック タイミング アナライザ(ザイリンクス開発システムのTRCE)が提供するデータとシミュレーション ネットリストに対するバック アノテーション データを使ってください。ガイドラインとしてここに示すパス遅延はスタティック タイミング アナライザ レポートから取り出したものです。タイミングパラメータは、すべてワーストケース動作条件(電源電圧と接合温度)での値です。別に注記がない限り、値はすべてのSpartanデバイスに適用されます。

Description	Symbol	Speed Grade		Units	
		-3	-4	Min	Max
Clocks					
Clock High time	T _{CH}	4.0			ns
Clock Low time	T _{CL}	4.0			ns
Combinatorial Delays					
F/G inputs to X/Y outputs	T _{ILO}		1.6		ns
F/G inputs via H' to X/Y outputs	T _{IHO}		2.7		ns
F/G inputs via transparent latch to Q outputs	T _{ILO}		2.4		ns
C inputs via SR/H0 via H to X/Y outputs	T _{HH0O}		2.2		ns
C inputs via H1 via H to X/Y outputs	T _{HH1O}		2.2		ns
C inputs via DIN/H2 via H to X/Y outputs	T _{HH2O}		2.6		ns
CLB Fast Carry Logic					
Operand inputs (F1, F2, G1, G4) to C _{OUT}	T _{OPCY}		2.1		ns
Add/Subtract input (F3) to C _{OUT}	T _{ASCY}		3.7		ns
Initialization inputs (F1, F3) to C _{OUT}	T _{INCY}		1.4		ns
C _{IN} through function generators to X/Y outputs	T _{SUM}		2.6		ns
C _{IN} to C _{OUT} , bypass function generators	T _{BYP}		0.6		ns
Sequential Delays					
Clock K to Flip-Flop outputs Q	T _{CKO}		2.8		ns
Setup Time before Clock K					
F/G inputs	T _{ICK}	2.4			ns
F/G inputs via H	T _{IHCK}	3.9			ns
C inputs via H0 through H	T _{HH0CK}	3.5			ns
C inputs via H1 through H	T _{HH1CK}	3.3			ns
C inputs via H2 through H	T _{HH2CK}	3.7			ns
C inputs via DIN	T _{DICK}	2.0			ns
C inputs via EC	T _{ECCK}	2.6			ns
C inputs via S/R, going Low (inactive)	T _{RCK}	4.0			ns
Hold Time after Clock K					
F/G inputs	T _{CKI}	0			ns
F/G inputs via H	T _{CKIH}	0			ns
C inputs via SR/H0 through H	T _{CKHH0}	0			ns
C inputs via H1 through H	T _{CKHH1}	0			ns
C inputs via DIN/H2 through H	T _{CKHH2}	0			ns
C inputs via DIN/H2	T _{CKDI}	0			ns
C inputs via EC	T _{CKEC}	0			ns
C inputs via SR, going Low (inactive)	T _{CKR}	0			ns
Set/Reset Direct					
Width (High)	T _{RPW}	4.0			ns
Delay from C inputs via S/R, going High to Q	T _{RIO}		4.0		ns
Global Set/Reset					
Minimum GSR Pulse Width	T _{MRW}	11.5			ns
Delay from GSR net to any Q (Note 1)	T _{MRQ}		17.4		
Toggle Frequency (MHz) (for export control purposes)	F _{TOG}		125		MHz
		Preliminary		Advance	

Note 1: タイミングはXCS10に基づいています。他のデバイスについては、スタティック タイミング アナライザを参照してください。

Spartan CLB シンクロナス RAM(エッジ トリガ)の書き込み動作ガイドライン

スイッチング パラメータのテストは、MIL-M-38510/605 に規定されているテスト方法に従いモデル化されています。全デバイスは 100% 機能テストされています。内部タイミング パラメータは、内部テスト パターンの測定から導出されたものです。下記の値は代表値です。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティック タイミング アナライザ(ザイリンクス開発システムの TRCE)が提供するデータとシミュレーション ネットリストに対するバック アノテーション データを使ってください。ガイドラインとしてここに示すパス遅延はスタティック タイミング アナライザ レポートから取り出したものです。タイミング パラメータは、すべてワーストケース動作条件(電源電圧と接合温度)での値です。別に注記がない限り、値は ns で示しており、すべての Spartan デバイスに適用されます。

Single Port RAM	Speed Grade		-3		-4		Units
	Size	Symbol	Min	Max	Min	Max	
Write Operation							
Address write cycle time (clock K period)	16x2	T_{WCS}	11.6				ns
	32x1	T_{WCTS}	11.6				ns
Clock K pulse width (active edge)	16x2	T_{WPS}	5.8				ns
	32x1	T_{WPTS}	5.8				ns
Address setup time before clock K	16x2	T_{ASS}	2.0				ns
	32x1	T_{ASTS}	2.0				ns
Address hold time after clock K	16x2	T_{AHS}	0				ns
	32x1	T_{AHTS}	0				ns
DIN setup time before clock K	16x2	T_{DSS}	2.7				ns
	32x1	T_{DSTS}	1.7				ns
DIN hold time after clock K	16x2	T_{DHS}	0				ns
	32x1	T_{DHTS}	0				ns
WE setup time before clock K	16x2	T_{WSS}	1.6				ns
	32x1	T_{WSTS}	1.6				ns
WE hold time after clock K	16x2	T_{WHS}	0				ns
	32x1	T_{WHTS}	0				ns
Data valid after clock K	16x2	T_{WOS}		7.9			ns
	32x1	T_{WOTS}		9.3			ns
Read Operation (Note 2)							
Address read cycle time	16x2	T_{RC}	2.6				ns
	32x1	T_{RCT}	3.8				ns
Data Valid after address change (no Write Enable)	16x2	T_{ILO}		1.6			ns
	32x1	T_{IHO}		2.7			ns
Address setup time before clock K (Clocking data into flip-flop)	16x2	T_{ICK}	2.4				ns
	32x1	T_{IHCK}	3.9				ns
			Preliminary		Advance		

Note 1: 16 x 1 RAM オプションのタイミングは、16 x 2 RAM のタイミングと同じです。

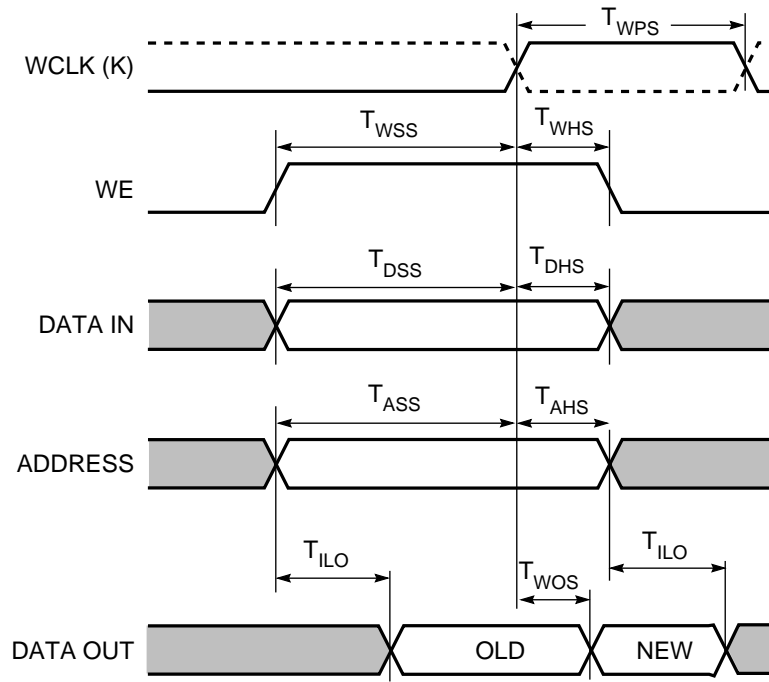
Note 2: 16 x 1 デュアル ポート RAM オプションの読み出し動作のタイミングは、16 x 2 RAM のタイミングと同じです。

Spartan CLB シンクロナス RAM(エッジ トリガ)の書き込み動作ガイドライン(続き)

スイッチングパラメータのテストは、MIL-M-38510/605に規定されているテスト方法に従いモデル化されています。全デバイスは100%機能テストされています。内部タイミングパラメータは、内部テストパターンの測定から導出されたものです。下記の値は代表値です。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティックタイミングアナライザ(ザイリンクス開発システムのTRCE)が提供するデータとシミュレーションネットリストに対するバックアノテーションデータを使ってください。ガイドラインとしてここに示すバス遅延はスタティックタイミングアナライザレポートから取り出したものです。タイミングパラメータは、すべてワーストケース動作条件(電源電圧と接合温度)での値です。別に注記がない限り、値はnsで示しており、すべてのSpartanデバイスに適用されます。

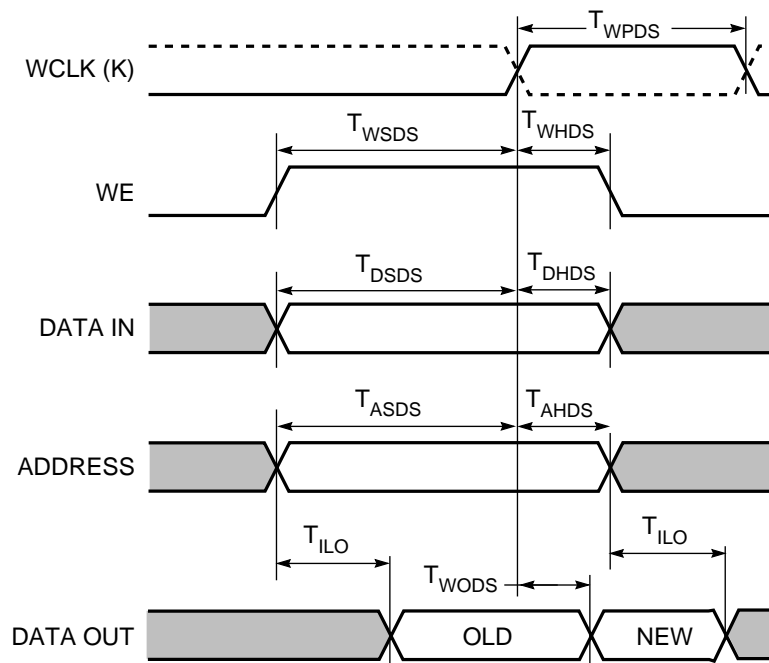
Dual Port RAM	Speed Grade		-3		-4		Units
	Size	Symbol	Min	Max	Min	Max	
Address write cycle time (clock K period)	16x1	T _{WCDS}	11.6				ns
Clock K pulse width (active edge)	16x1	T _{WPDS}	5.8				ns
Address setup time before clock K	16x1	T _{ASDS}	2.1				ns
Address hold time after clock K	16x1	T _{AHDS}	0				ns
DIN setup time before clock K	16x1	T _{DSDS}	1.6				ns
DIN hold time after clock K	16x1	T _{DHDS}	0				ns
WE setup time before clock K	16x1	T _{WSDS}	1.6				ns
WE hold time after clock K	16x1	T _{WHDS}	0				ns
Data valid after clock K	16x1	T _{WODS}		7.0			ns
			Preliminary		Advance		

Spartan CLB シンクロナス RAM(エッジ トリガ)の書き込みタイミング



X6461

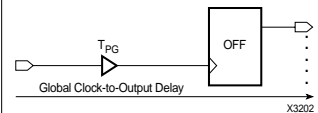
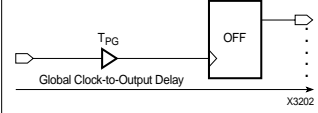
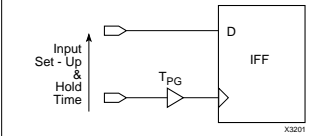
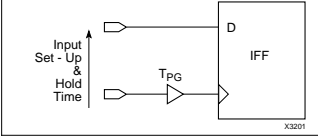
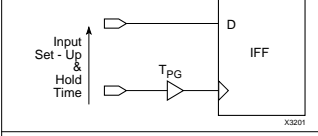
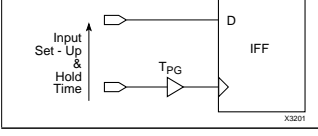
Spartan CLB デュアルポート シンクロナス RAM(エッジ トリガ)の書き込みタイミング



X6474

Spartan の入力および出力パラメータ (Pin-to-Pin、TTL I/O)

スイッチングパラメータのテストは、MIL-M-38510/605 に規定されているテスト方法に従いモデル化されています。全デバイスは100% 機能テストされています。Pin-to-Pin タイミングパラメータは、外部テストパターンおよび内部テストパターンの測定から導出されたもので、ワーストケース動作条件（電源電圧と接合温度）で保証される値です。下記の値は代表的なピン位置と通常のクロック負荷に対する代表値です。実際の配線構造を反映するより正確で個別的なワーストケース保証データが必要な場合は、スタティックタイミングアナライザ（ザイリンクス開発システムの TRCE）が提供するデータとシミュレーションネットリストに対するバックアノテーションデータを使ってください。特に注記がない限り、値はすべての Spartan デバイスに適用されます。

Description	Speed Grade		-3	-4	Units
	Symbol	Device			
Global Clock to Output (fast) using OFF 	T_{ICKOF}	XCS05 XCS10 XCS20 XCS30 XCS40	8.7 9.1 9.3 9.4 10.2		ns ns ns ns ns
Global Clock to Output (slew-limited) using OFF 	T_{ICKO}	XCS05 XCS10 XCS20 XCS30 XCS40	11.5 12.0 12.2 12.8 12.8		ns ns ns ns ns
Input Setup Time, using Global Clock and IFF (no delay) 	T_{PSUF}	XCS05 XCS10 XCS20 XCS30 XCS40	2.3 1.2 0.2 0 0		ns ns ns ns ns
Input Hold Time, using Global Clock and IFF (no delay) 	T_{PHF}	XCS05 XCS10 XCS20 XCS30 XCS40	4.0 4.5 5.5 5.5 5.7		ns ns ns ns ns
Input Setup Time, using Global Clock and IFF (with delay) 	T_{PSU}	XCS05 XCS10 XCS20 XCS30 XCS40	6.0 6.0 6.0 6.0 6.8		ns ns ns ns ns
Input Hold Time, using Global Clock and IFF (with delay) 	T_{PH}	XCS05 XCS10 XCS20 XCS30 XCS40	0 0 0 0 0		ns ns ns ns ns
			Preliminary	Advance	

OFF=出力フリップフロップ

IFF=入力フリップフロップ/ラッチ

Spartan IOB 入力スイッチング特性ガイドライン

スイッチングパラメータのテストは、MIL-M-38510/605に規定されているテスト方法に従いモデル化されています。全デバイスは100%機能テストされています。内部タイミングパラメータは、内部テストパターンの測定から導出されたものです。下記の値は代表値です。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティックタイミングアナライザ(ザイリンクス開発システムのTRCE)が提供するデータとシミュレーション ネットリストに対するバック アノテーション データを使ってください。ガイドラインとしてここに示すパス遅延はスタティックタイミングアナライザレポートから取り出したものです。タイミングパラメータは、すべてワーストケース動作条件(電源電圧と接合温度)での値です。

Speed Grade		-3		-4		Units
Description	Symbol	Min	Max	Min	Max	
Clocks						
Clock Enable (EC) to Clock (IK), no delay	T _{ECIK}	2.1				ns
Clock Enable (EC) to Clock (IK), with delay (Note 1)	T _{ECIKD}	5.6				ns
Setup Times (TTL Inputs)						
Pad to Clock (IK), no delay	T _{PICK}	2.0				ns
Pad to clock (IK), with delay (Note 1)	T _{PICKD}	6.1				ns
Setup Times (CMOS Inputs)						
Pad to Clock (IK), no delay	T _{PICKC}	2.4				ns
Pad to Clock (IK), with delay (Note 1)	T _{PICKDC}	8.0				ns
Hold Times						
Clock Enable (EC) to Clock (IK), no delay	T _{IKEC}	0.9				ns
All Other Hold Times		0				ns
Propagation Delays (TTL Inputs)						
Pad to I1, I2	T _{PID}		2.0			ns
Pad to I1, I2, via transparent input latch, no delay	T _{PLI}		3.6			ns
Pad to I1, I2 via transparent input latch, with delay (Note 1)	T _{PDLI}		7.4			ns
Propagation Delays (CMOS Inputs)						
Pad to I1, I2	T _{PIDC}		3.7			ns
Pad to I1, I2 via transparent input latch, no delay	T _{PLIC}		6.2			ns
Pad to I1, I2 via transparent input latch, with delay (Note1)	T _{PDLIC}		11.9			ns
Propagation Delays						
Clock (IK) to I1, I2 (flip-flop)	T _{IKRI}		2.8			ns
Clock (IK) to I1, I2 (latch enable, active Low)	T _{IKLI}		3.9			ns
Global Set/Reset (Note 1)						
Minimum GSR Pulse Width	T _{MRW}	11.5				ns
Delay from GSR net through Q to I1, I2	T _{RRI}		6.8			ns
		Preliminary		Advance		

Note 1: タイミングはXCS10に基づいています。他のデバイスについては、スタティック タイミングアナライザを参照してください。

Note 2: 入力パッドのセットアップ タイムとホールド タイムは内部クロック(IK)を基準とします。クロック入力ピンを基準とするセットアップ タイムとホールド タイムについては、保証入力および出力パラメータ表のPin-to-Pin パラメータを参照してください。

Note 3: 未使用ピンの電圧レベルは、ボンディングの有無によらず、有効な論理レベルにある必要があります。これらの各ピンは、内部プルアップ抵抗付き(デフォルト)または内部プルダウン抵抗付き、あるいは外部ソースに対する入力または出力に設定することができます。

Spartan IOB 出力スイッチング特性ガイドライン

スイッチングパラメータのテストは、MIL-M-38510/605に規定されているテスト方法に従いモデル化されています。全デバイスは100%機能テストされています。内部タイミングパラメータは、内部テストパターンの測定から導出されたものです。下記の値は代表値です。実際の配線構造を反映した、詳細で、より正確なワーストケース保証データについては、スタティックタイミングアナライザ(ザイリンクス開発システムのTRCE)が提供するデータとシミュレーションネットリストに対するバックアノテーションデータを使ってください。ガイドラインとしてここに示すパス遅延はスタティックタイミングアナライザレポートから取り出したものです。タイミングパラメータは、すべてワーストケース動作条件(電源電圧と接合温度)での値です。特に注記がない限り、値はnsで示してあります。

Description	Symbol	-3		-4		Units
		Min	Max	Min	Max	
Clocks						
Clock High	T_{CH}	4.0				ns
Clock Low	T_{CL}	4.0				ns
Propagation Delays (TTL Output Levels)						
Clock (OK) to Pad, fast	T_{OKPOF}		4.5			ns
Clock (OK) to Pad, slew-rate limited	T_{OKPOS}		7.0			ns
Output (O) to Pad, fast	T_{OPF}		4.8			ns
Output (O) to Pad, slew-rate limited	T_{OPS}		7.3			ns
3-state to Pad hi-Z (slew-rate independent)	T_{TSHZ}		3.8			ns
3-state to Pad active and valid, fast	T_{TSONF}		7.3			ns
3-state to Pad active and valid, slew-rate limited	T_{TSONS}		9.8			ns
Propagation Delays (CMOS Output Levels)						
Clock (OK) to Pad, fast	T_{OKPOFC}		7.0			ns
Clock (OK) to Pad, slew-rate limited	T_{OPOSC}		10.4			ns
Output (O) to Pad, fast	T_{OPFC}		8.7			ns
Output (O) to Pad, slew-rate limited	T_{OPSC}		12.1			ns
3-state to Pad hi-Z (slew-rate independent)	T_{TSHZC}		3.9			ns
3-state to Pad active and valid, fast	T_{TSONFC}		6.8			ns
3-state to Pad active and valid, slew-rate limited	T_{TSONSC}		10.2			ns
Setup and Hold Times						
Output (O) to clock (OK) setup time	T_{OOK}	3.8				ns
Output (O) to clock (OK) hold time	T_{OKO}	0				ns
Clock Enable (EC) to clock (OK) setup time	T_{ECOK}	2.7				ns
Clock Enable (EC) to clock (OK) hold time	T_{OKEC}	0.5				ns
Global Set/Reset						
Minimum GSR pulse width	T_{MRW}	11.5				ns
Delay from GSR Net to Pad	T_{RPO}		8.7			ns
		Preliminary		Advance		

Note 1: 出力タイミングは、50pFの容量性外部負荷を接続して、ピンのスレッショルドで測定しています。スルーレート制限付き出力の立ち上がり/立ち下がり時間は、高速出力の立ち上がり/立ち下がり時間の約2倍です。

Note 2: 未使用ピンの電圧レベルは、ボンディングの有無によらず、有効な論理レベルにある必要があります。これらの各ピンは、内部プルアップ抵抗付き(デフォルト)または内部プルダウン抵抗付き、あるいは外部ソースに対する入力または出力に設定することができます。

Spartan-XL の電気的特性

用語の定義

以下の表内でアドバンス情報 (Advance) または暫定情報 (Preliminary) と表示されている仕様があります。これらの用語は次のように定義します。

アドバンス情報 シミュレーションおよび / または他のスピード グレード、デバイス、またはデバイス・ファミリからの外挿に基づいた初期予測値。値は変更されることがあります。製品性能の予測目的のみに使用し、量産製品には使用しないでください。

暫定情報 暫定的な特性化に基づきます。変更されることがありますが、その可能性は稀です。

特別な表示なし アドバンス情報または暫定情報と表示されていない仕様は、最終情報です。

すべての仕様は予告なく変更されることがあります。

Spartan-XL の絶対最大定格

Symbol	Description	Value	Units
V_{CC}	Supply voltage relative to GND	-0.5 to 4.0	V
V_{IN}	Input voltage relative to GND (Note 1)	-0.5 to 5.5	V
V_{TS}	Voltage applied to 3-state output (Note 1)	-0.5 to 5.5	V
V_{CCt}	Longest Supply Voltage Rise Time from 1V to 3V	50	ms
T_{STG}	Storage temperature (ambient)	-65 to +150	°C
T_{SOL}	Maximum soldering temperature (10 s @ 1/16 in. = 1.5 mm)	+260	°C
T_J	Junction temperature	Plastic packages +125	°C

Note 1: GND より低い最大 DC アンダシュートは、0.5V または 10mA のいずれか達成し易い方に制限する必要があります。過渡状態で、デバイスピンでは -2.0V までのアンダシュート、または +7.0V までのオーバシュートが許容できます。ただし、これらのオーバシュートまたはアンダシュートの継続時間は 10ns より小さく、かつ電流は 200mA に制限するものとします。

Note 2: 絶対最大定格に記載する値を超えるストレスは、デバイスに恒久的な損傷を与える原因になることがあります。これらの値は定格を示すものであり、動作条件に記載した値でまたはその値を超える条件でのデバイスの機能動作を意味するものではありません。絶対最大定格条件のもとに長期間おくと、デバイスの信頼性に影響を与えることがあります。

Spartan-XL の推奨動作条件

Symbol	Description	Min	Max	Units	
V_{CC}	Supply voltage relative to GND, $T_J = 0^\circ\text{C}$ to $+85^\circ\text{C}$	Commercial	3.0	3.6	V
	Supply voltage relative to GND, $T_J = -40^\circ\text{C}$ to $+100^\circ\text{C}$	Industrial	3.0	3.6	V
V_{IH}	High-level input voltage	50% of V_{CC}	5.5	V	
V_{IL}	Low-level input voltage	0	30% of V_{CC}	V	
T_{IN}	Input signal transition time		250	ns	

Note: 動作条件として上に記載された接合温度では、すべての遅延パラメータは 0.35%/° で増加します。入力と出力の測定スレッショルドは、 V_{CC} の約 40% です。

推奨動作条件での Spartan-XL の DC 特性

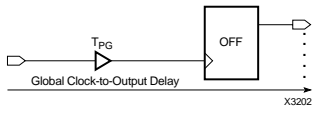
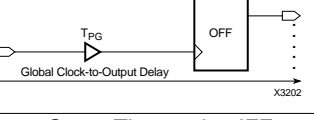
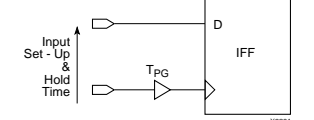
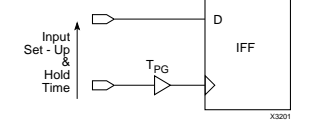
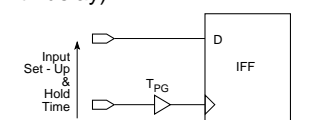
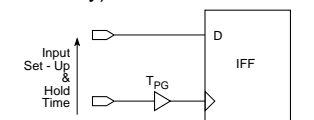
Symbol	Description	Min	Max	Units
V _{OH}	High-level output voltage @ I _{OH} = -4.0 mA, V _{CC} min (LVTTTL)	2.4		V
	High-level output voltage @ I _{OH} = -500 μA, (LVCMOS)	90% V _{CC}		V
V _{OL}	Low-level output voltage @ I _{OL} = 12.0 mA, V _{CC} min (LVTTTL) (Note 1)		0.4	V
	Low-level output voltage @ I _{OL} = 1500 μA, (LVCMOS)		10% V _{CC}	V
V _{DR}	Data Retention Supply Voltage (below which configuration data may be lost)	2.5		V
I _{CCO}	Quiescent FPGA supply current (Note 2)		5	mA
I _L	Input or output leakage current	-10	+10	μA
C _{IN}	Input capacitance (sample tested)		10	pF
I _{RPU}	Pad pull-up (when selected) @ V _{in} = 0V (sample tested)	0.02	0.25	mA
I _{RPD}	Pad pull-down (when selected) @ V _{in} = 3.3V (sample tested)	0.02		mA

Note 1: 最大 64 ピンが同時に 12mA をシンク。

Note 2: 出力電流負荷なし、アクティブな入力プルアップ抵抗なし、全パッケージ ピンはV_{CC}またはGNDに接続、FPGAはTieオプションを指定してコンフィギュレーション。

Spartan-XL の入力および出力パラメータ (Pin-to-Pin)

スイッチング パラメータのテストは、MIL-M-38510/605 に規定されているテスト方法に従いモデル化されています。全デバイスは 100% 機能テストされています。Pin-to-Pin タイミング パラメータは、外部テスト パターンおよび内部テスト パターンの測定から導出されたもので、ワーストケース動作条件 (電源電圧と接合温度) で保証される値です。下記の値は代表的なピン位置と通常のクロック負荷に対する代表値です。実際の配線構造を反映するより正確で個別的なワーストケース保証データが必要な場合は、スタティック タイミング アナライザ (ザイリンクス開発システムの TRCE) が提供するデータとシミュレーション ネットリストに対するバックアノテーション データを使ってください。ガイドラインとして示すこれらのパス遅延はスタティック タイミング アナライザ レポートから取り出したものです。特に注記がない限り、値はすべての Spartan-XL デバイスに適用されます。

Description	Speed Grade		-3	-4	Units
	Symbol	Device			
Global Clock to Output (fast) using OFF 	T_{ICKOF}	XCS05XL XCS10XL XCS20XL XCS30XL XCS40XL	8.7 9.1 9.3 9.4 10.2		ns ns ns ns ns
Global Clock to Output (slew-limited) using OFF 	T_{ICKO}	XCS05XL XCS10XL XCS20XL XCS30XL XCS40XL	11.5 12.0 12.2 12.8 12.8		ns ns ns ns ns
Input Setup Time, using IFF (no delay) 	T_{PSUF}	XCS05XL XCS10XL XCS20XL XCS30XL XCS40XL	2.3 1.2 0.2 0 0		ns ns ns ns ns
Input Hold Time, using IFF (no delay) 	T_{PHF}	XCS05XL XCS10XL XCS20XL XCS30XL XCS40XL	4.0 4.5 5.5 5.5 5.7		ns ns ns ns ns
Input Setup Time, using IFF (with delay) 	T_{PSU}	XCS05XL XCS10XL XCS20XL XCS30XL XCS40XL	6.0 6.0 6.0 6.0 6.8		ns ns ns ns ns
Input Hold Time, using IFF (with delay) 	T_{PH}	XCS05XL XCS10XL XCS20XL XCS30XL XCS40XL	0 0 0 0 0		ns ns ns ns ns

OFF=出力フリップフロップ

IFF=入力フリップフロップ/ラッチ

Advance

ピン配置表

ピン配置表には、各 Spartan と Spartan-XL デバイスに対する全パッケージが含まれています。チップ周囲のパッド位置順に表示され、バウンダリ スキャンレジスタの位置も含まれています。

XCS05 デバイスおよび XCS05XL デバイスのピン配置

XCS05 & XCS05XL Pad Name	PC84	VQ100	Bndry Scan
VCC	P2	P89	-
I/O	P3	P90	32
I/O	P4	P91	35
I/O	-	P92	38
I/O	-	P93	41
I/O	P5	P94	44
I/O	P6	P95	47
I/O	P7	P96	50
I/O	P8	P97	53
I/O	P9	P98	56
I/O, SGCK1	P10	P99	59
VCC	P11	P100	-
GND	P12	P1	-
I/O, PGCK1	P13	P2	62
I/O	P14	P3	65
I/O, TDI	P15	P4	68
I/O, TCK	P16	P5	71
I/O, TMS	P17	P6	74
I/O	P18	P7	77
I/O	-	P8	83
I/O	P19	P9	86
I/O	P20	P10	89
GND	P21	P11	-
VCC	P22	P12	-
I/O	P23	P13	92
I/O	P24	P14	95
I/O	-	P15	98
I/O	P25	P16	104
I/O	P26	P17	107
I/O	P27	P18	110
I/O	-	P19	113
I/O	P28	P20	116
I/O, SGCK2	P29	P21	119
Don't Connect	P30	P22	122
GND	P31	P23	-
MODE	P32	P24	125
VCC	P33	P25	-
Don't Connect	P34	P26	126
I/O, PGCK2	P35	P27	127
I/O (HDC)	P36	P28	130
I/O	-	P29	133
I/O (LDC)	P37	P30	136
I/O	P38	P31	139
I/O	P39	P32	142
I/O	-	P33	145
I/O	-	P34	148
I/O	P40	P35	151
I/O (INIT)	P41	P36	154
VCC	P42	P37	-

XCS05 & XCS05XL Pad Name	PC84	VQ100	Bndry Scan
GND	P43	P38	-
I/O	P44	P39	157
I/O	P45	P40	160
I/O	-	P41	163
I/O	-	P42	166
I/O	P46	P43	169
I/O	P47	P44	172
I/O	P48	P45	175
I/O	P49	P46	178
I/O	P50	P47	181
I/O, SGCK3	P51	P48	184
GND	P52	P49	-
DONE	P53	P50	-
VCC	P54	P51	-
PROGRAM	P55	P52	-
I/O	P56	P53	187
I/O, PGCK3	P57	P54	190
I/O	P58	P55	193
I/O	-	P56	196
I/O	P59	P57	199
I/O	P60	P58	202
I/O	-	P59	205
I/O	-	P60	208
I/O	P61	P61	211
I/O	P62	P62	214
VCC	P63	P63	-
GND	P64	P64	-
I/O	P65	P65	217
I/O	P66	P66	220
I/O	-	P67	223
I/O	P67	P68	229
I/O	P68	P69	232
I/O	P69	P70	235
I/O	P70	P71	238
I/O (DIN)	P71	P72	241
I/O, SGCK4 (DOUT)	P72	P73	244
CCLK	P73	P74	-
VCC	P74	P75	-
O, TDO	P75	P76	0
GND	P76	P77	-
I/O	P77	P78	2
I/O, PGCK4	P78	P79	5
I/O	P79	P80	8
I/O	P80	P81	11
I/O	P81	P82	14
I/O	P82	P83	17
I/O	-	P84	20
I/O	-	P85	23
I/O	P83	P86	26

Spartan および Spartan-XL ファミリー フィールド プログラマブル ゲートアレイ

XCS05 & XCS05XL Pad Name	PC84	VQ100	Bndry Scan
I/O	P84	P87	29
GND	P1	P88	-

9/24/97

XCS10 デバイスおよび XCS10XL デバイスのピン配置

XCS10 & XCS10XL Pad Name	PC84	VQ100	TQ144	Bndry Scan
VCC	P2	P89	P128	-
I/O	P3	P90	P129	44
I/O	P4	P91	P130	47
I/O	-	P92	P131	50
I/O	-	P93	P132	53
I/O	P5	P94	P133	56
I/O	P6	P95	P134	59
I/O	-	-	P135	62
I/O	-	-	P136	65
GND	-	-	P137	-
I/O	P7	P96	P138	68
I/O	P8	P97	P139	71
I/O	-	-	P140	74
I/O	-	-	P141	77
I/O	P9	P98	P142	80
I/O, SGCK1	P10	P99	P143	83
VCC	P11	P100	P144	-
GND	P12	P1	P1	-
I/O, PGCK1	P13	P2	P2	86
I/O	P14	P3	P3	89
I/O	-	-	P4	92
I/O	-	-	P5	95
I/O, TDI	P15	P4	P6	98
I/O, TCK	P16	P5	P7	101
GND	-	-	P8	-
I/O	-	-	P9	104
I/O	-	-	P10	107
I/O, TMS	P17	P6	P11	110
I/O	P18	P7	P12	113
I/O	-	-	P13	116
I/O	-	P8	P14	119
I/O	P19	P9	P15	122
I/O	P20	P10	P16	125
GND	P21	P11	P17	-
VCC	P22	P12	P18	-
I/O	P23	P13	P19	128
I/O	P24	P14	P20	131
I/O	-	P15	P21	134
I/O	-	-	P22	137
I/O	P25	P16	P23	140
I/O	P26	P17	P24	143
I/O	-	-	P25	146
I/O	-	-	P26	149
GND	-	-	P27	-
I/O	P27	P18	P28	152
I/O	-	P19	P29	155
I/O	-	-	P30	158
I/O	-	-	P31	161

XCS10 & XCS10XL Pad Name	PC84	VQ100	TQ144	Bndry Scan
I/O	P28	P20	P32	164
I/O, SGCK2	P29	P21	P33	167
Don't Connect	P30	P22	P34	170
GND	P31	P23	P35	-
MODE	P32	P24	P36	173
VCC	P33	P25	P37	-
Don't Connect	P34	P26	P38	174
I/O, PGCK2	P35	P27	P39	175
I/O (HDC)	P36	P28	P40	178
I/O	-	-	P41	181
I/O	-	-	P42	184
I/O	-	P29	P43	187
I/O (LDC)	P37	P30	P44	190
GND	-	-	P45	-
I/O	-	-	P46	193
I/O	-	-	P47	196
I/O	P38	P31	P48	199
I/O	P39	P32	P49	202
I/O	-	P33	P50	205
I/O	-	P34	P51	208
I/O	P40	P35	P52	211
I/O (INIT)	P41	P36	P53	214
VCC	P42	P37	P54	-
GND	P43	P38	P55	-
I/O	P44	P39	P56	217
I/O	P45	P40	P57	220
I/O	-	P41	P58	223
I/O	-	P42	P59	226
I/O	P46	P43	P60	229
I/O	P47	P44	P61	232
I/O	-	-	P62	235
I/O	-	-	P63	238
GND	-	-	P64	-
I/O	P48	P45	P65	241
I/O	P49	P46	P66	244
I/O	-	-	P67	247
I/O	-	-	P68	250
I/O	P50	P47	P69	253
I/O, SGCK3	P51	P48	P70	256
GND	P52	P49	P71	-
DONE	P53	P50	P72	-
VCC	P54	P51	P73	-
PROGRAM	P55	P52	P74	-
I/O	P56	P53	P75	259
I/O, PGCK3	P57	P54	P76	262
I/O	-	-	P77	265
I/O	-	-	P78	268
I/O	P58	P55	P79	271

XCS10 & XCS10XL Pad Name	PC84	VQ100	TQ144	Bndry Scan
I/O	-	P56	P80	274
GND	-	-	P81	-
I/O	-	-	P82	277
I/O	-	-	P83	280
I/O	P59	P57	P84	283
I/O	P60	P58	P85	286
I/O	-	P59	P86	289
I/O	-	P60	P87	292
I/O	P61	P61	P88	295
I/O	P62	P62	P89	298
VCC	P63	P63	P90	-
GND	P64	P64	P91	-
I/O	P65	P65	P92	301
I/O	P66	P66	P93	304
I/O	-	P67	P94	307
I/O	-	-	P95	310
I/O	P67	P68	P96	313
I/O	P68	P69	P97	316
I/O	-	-	P98	319
I/O	-	-	P99	322
GND	-	-	P100	-
I/O	P69	P70	P101	325
I/O	P70	P71	P102	328
I/O	-	-	P103	331
I/O	-	-	P104	334
I/O (DIN)	P71	P72	P105	337
I/O, SGCK4 (DOUT)	P72	P73	P106	340

XCS10 & XCS10XL Pad Name	PC84	VQ100	TQ144	Bndry Scan
CCLK	P73	P74	P107	-
VCC	P74	P75	P108	-
O, TDO	P75	P76	P109	0
GND	P76	P77	P110	-
I/O	P77	P78	P111	2
I/O, PGCK4	P78	P79	P112	5
I/O	-	-	P113	8
I/O	-	-	P114	11
I/O	P79	P80	P115	14
I/O	P80	P81	P116	17
GND	-	-	P118	-
I/O	-	-	P119	20
I/O	-	-	P120	23
I/O	P81	P82	P121	26
I/O	P82	P83	P122	29
I/O	-	P84	P123	32
I/O	-	P85	P124	35
I/O	P83	P86	P125	38
I/O	P84	P87	P126	41
GND	P1	P88	P127	-

9/24/97

その他の XCS10/XL パッケージ ピン

TQ144

Not Connected Pins					
P117	-	-	-	-	-

5/5/97

XCS20 デバイスおよび XCS20XL デバイスのピン配置

XCS20 & XCS20XL Pad Name	VQ100	TQ144	PQ208	Bndry Scan
VCC	P89	P128	P183	-
I/O	P90	P129	P184	62
I/O	P91	P130	P185	65
I/O	P92	P131	P186	68
I/O	P93	P132	P187	71
I/O	-	-	P188	74
I/O	-	-	P189	77
I/O	P94	P133	P190	80
I/O	P95	P134	P191	83
I/O	-	P135	P193	86
I/O	-	P136	P194	89
GND	-	P137	P195	-
I/O	-	-	P196	92
I/O	-	-	P197	95
I/O	-	-	P198	98
I/O	-	-	P199	101
I/O	P96	P138	P200	104
I/O	P97	P139	P201	107
I/O	-	P140	P204	110
I/O	-	P141	P205	113
I/O	P98	P142	P206	116
I/O, SGCK1	P99	P143	P207	119

XCS20 & XCS20XL Pad Name	VQ100	TQ144	PQ208	Bndry Scan
VCC	P100	P144	P208	-
GND	P1	P1	P1	-
I/O, PGCK1	P2	P2	P2	122
I/O	P3	P3	P3	125
I/O	-	P4	P4	128
I/O	-	P5	P5	131
I/O, TDI	P4	P6	P6	134
I/O, TCK	P5	P7	P7	137
I/O	-	-	P8	140
I/O	-	-	P9	143
I/O	-	-	P10	146
I/O	-	-	P11	149
GND	-	P8	P13	-
I/O	-	P9	P14	152
I/O	-	P10	P15	155
I/O, TMS	P6	P11	P16	158
I/O	P7	P12	P17	161
I/O	-	-	P19	164
I/O	-	-	P20	167
I/O	-	P13	P21	170
I/O	P8	P14	P22	173
I/O	P9	P15	P23	176

Spartan および Spartan-XL ファミリー フィールド プログラマブル ゲートアレイ

XCS20 & XCS20XL Pad Name	VQ100	TQ144	PQ208	Bndry Scan
I/O	P10	P16	P24	179
GND	P11	P17	P25	-
VCC	P12	P18	P26	-
I/O	P13	P19	P27	182
I/O	P14	P20	P28	185
I/O	P15	P21	P29	188
I/O	-	P22	P30	191
I/O	-	-	P31	194
I/O	-	-	P32	197
I/O	P16	P23	P34	200
I/O	P17	P24	P35	203
I/O	-	P25	P36	206
I/O	-	P26	P37	209
GND	-	P27	P38	-
I/O	-	-	P40	212
I/O	-	-	P41	215
I/O	-	-	P42	218
I/O	-	-	P43	221
I/O	P18	P28	P44	224
I/O	P19	P29	P45	227
I/O	-	P30	P46	230
I/O	-	P31	P47	233
I/O	P20	P32	P48	236
I/O, SGCK2	P21	P33	P49	239
Don't Connect	P22	P34	P50	242
GND	P23	P35	P51	-
MODE	P24	P36	P52	245
VCC	P25	P37	P53	-
Don't Connect	P26	P38	P54	246
I/O, PGCK2	P27	P39	P55	247
I/O (HDC)	P28	P40	P56	250
I/O	-	P41	P57	253
I/O	-	P42	P58	256
I/O	P29	P43	P59	259
I/O (LDC)	P30	P44	P60	262
I/O	-	-	P61	265
I/O	-	-	P62	268
I/O	-	-	P63	271
I/O	-	-	P64	274
GND	-	P45	P66	-
I/O	-	P46	P67	277
I/O	-	P47	P68	280
I/O	P31	P48	P69	283
I/O	P32	P49	P70	286
I/O	-	-	P72	289
I/O	-	-	P73	292
I/O	P33	P50	P74	295
I/O	P34	P51	P75	298
I/O	P35	P52	P76	301
I/O (INIT)	P36	P53	P77	304
VCC	P37	P54	P78	-
GND	P38	P55	P79	-
I/O	P39	P56	P80	307
I/O	P40	P57	P81	310
I/O	P41	P58	P82	313
I/O	P42	P59	P83	316

XCS20 & XCS20XL Pad Name	VQ100	TQ144	PQ208	Bndry Scan
I/O	-	-	P84	319
I/O	-	-	P85	322
I/O	P43	P60	P87	325
I/O	P44	P61	P88	328
I/O	-	P62	P89	331
I/O	-	P63	P90	334
GND	-	P64	P91	-
I/O	-	-	P93	337
I/O	-	-	P94	340
I/O	-	-	P95	343
I/O	-	-	P96	346
I/O	P45	P65	P97	349
I/O	P46	P66	P98	352
I/O	-	P67	P99	355
I/O	-	P68	P100	358
I/O	P47	P69	P101	361
I/O, SGCK3	P48	P70	P102	364
GND	P49	P71	P103	-
DONE	P50	P72	P104	-
VCC	P51	P73	P105	-
PROGRAM	P52	P74	P106	-
I/O	P53	P75	P107	367
I/O, PGCK3	P54	P76	P108	370
I/O	-	P77	P109	373
I/O	-	P78	P110	376
I/O	P55	P79	P112	379
I/O	P56	P80	P113	382
I/O	-	-	P114	385
I/O	-	-	P115	388
I/O	-	-	P116	391
I/O	-	-	P117	394
GND	-	P81	P118	-
I/O	-	P82	P119	397
I/O	-	P83	P120	400
I/O	P57	P84	P122	403
I/O	P58	P85	P123	406
I/O	-	-	P124	409
I/O	-	-	P125	412
I/O	P59	P86	P126	415
I/O	P60	P87	P127	418
I/O	P61	P88	P128	421
I/O	P62	P89	P129	424
VCC	P63	P90	P130	-
GND	P64	P91	P131	-
I/O	P65	P92	P132	427
I/O	P66	P93	P133	430
I/O	P67	P94	P134	433
I/O	-	P95	P135	436
I/O	-	-	P136	439
I/O	-	-	P137	442
I/O	P68	P96	P138	445
I/O	P69	P97	P139	448
I/O	-	P98	P141	451
I/O	-	P99	P142	454
GND	-	P100	P143	-
I/O	-	-	P145	457

XCS20 & XCS20XL Pad Name	VQ100	TQ144	PQ208	Bndry Scan
I/O	-	-	P146	460
I/O	-	-	P147	463
I/O	-	-	P148	466
I/O	P70	P101	P149	469
I/O	P71	P102	P150	472
I/O	-	P103	P151	475
I/O	-	P104	P152	478
I/O (DIN)	P72	P105	P153	481
I/O, SGCK4 (DOUT)	P73	P106	P154	484
CCLK	P74	P107	P155	-
VCC	P75	P108	P156	-
O, TDO	P76	P109	P157	0
GND	P77	P110	P158	-
I/O	P78	P111	P159	2
I/O, PGCK4	P79	P112	P160	5
I/O	-	P113	P161	8
I/O	-	P114	P162	11
I/O	P80	P115	P163	14
I/O	P81	P116	P164	17
I/O	-	P117	P166	20
I/O	-	-	P167	23
I/O	-	-	P168	26

XCS20 & XCS20XL Pad Name	VQ100	TQ144	PQ208	Bndry Scan
I/O	-	-	P169	29
GND	-	P118	P170	-
I/O	-	P119	P171	32
I/O	-	P120	P172	35
I/O	P82	P121	P174	38
I/O	P83	P122	P175	41
I/O	-	-	P176	44
I/O	-	-	P177	47
I/O	P84	P123	P178	50
I/O	P85	P124	P179	53
I/O	P86	P125	P180	56
I/O	P87	P126	P181	59
GND	P88	P127	P182	-

2/5/98

その他の XCS20/XL パッケージ ピン

PQ208

Not Connected Pins					
P12	P18	P33	P39	P65	P71
P86	P92	P111	P121	P140	P144
P165	P173	P192	P202	P203	-

2/5/98

XCS30 デバイスおよび XCS30XL デバイスのピン配置

XCS30 & XCS30XL Pad Name	VQ100	TQ144	PQ208	PQ240	BG256	Bndry Scan
VCC	P89	P128	P183	P212	VCC*	-
I/O	P90	P129	P184	P213	C10	74
I/O	P91	P130	P185	P214	D10	77
I/O	P92	P131	P186	P215	A9	80
I/O	P93	P132	P187	P216	B9	83
I/O	-	-	P188	P217	C9	86
I/O	-	-	P189	P218	D9	89
I/O	P94	P133	P190	P220	A8	92
I/O	P95	P134	P191	P221	B8	95
VCC	-	-	P192	P222	VCC*	-
I/O	-	-	-	P223	A6	98
I/O	-	-	-	P224	C7	101
I/O	-	P135	P193	P225	B6	104
I/O	-	P136	P194	P226	A5	107
GND	-	P137	P195	P227	GND*	-
I/O	-	-	P196	P228	C6	110
I/O	-	-	P197	P229	B5	113
I/O	-	-	P198	P230	A4	116
I/O	-	-	P199	P231	C5	119
I/O	P96	P138	P200	P232	B4	122
I/O	P97	P139	P201	P233	A3	125
I/O	-	-	P202	P234	D5	128
I/O	-	-	P203	P235	C4	131
I/O	-	P140	P204	P236	B3	134
I/O	-	P141	P205	P237	B2	137
I/O	P98	P142	P206	P238	A2	140
I/O, SGCK1	P99	P143	P207	P239	C3	143

XCS30 & XCS30XL Pad Name	VQ100	TQ144	PQ208	PQ240	BG256	Bndry Scan
VCC	P100	P144	P208	P240	VCC*	-
GND	P1	P1	P1	P1	GND*	-
I/O, PGCK1	P2	P2	P2	P2	B1	146
I/O	P3	P3	P3	P3	C2	149
I/O	-	P4	P4	P4	D2	152
I/O	-	P5	P5	P5	D3	155
I/O, TDI	P4	P6	P6	P6	E4	158
I/O, TCK	P5	P7	P7	P7	C1	161
I/O	-	-	P8	P8	D1	164
I/O	-	-	P9	P9	E3	167
I/O	-	-	P10	P10	E2	170
I/O	-	-	P11	P11	E1	173
I/O	-	-	P12	P12	F3	176
I/O	-	-	-	P13	F2	179
GND	-	P8	P13	P14	GND*	-
I/O	-	P9	P14	P15	G3	182
I/O	-	P10	P15	P16	G2	185
I/O, TMS	P6	P11	P16	P17	G1	188
I/O	P7	P12	P17	P18	H3	191
VCC	-	-	P18	P19	VCC*	-
I/O	-	-	-	P20	H2	194
I/O	-	-	-	P21	H1	197
I/O	-	-	P19	P23	J2	200
I/O	-	-	P20	P24	J1	203
I/O	-	P13	P21	P25	K2	206
I/O	P8	P14	P22	P26	K3	209
I/O	P9	P15	P23	P27	K1	212

Spartan および Spartan-XL ファミリー フィールド プログラマブル ゲートアレイ

XCS30 & XCS30XL Pad Name	VQ100	TQ144	PQ208	PQ240	BG256	Bndry Scan
I/O	P10	P16	P24	P28	L1	215
GND	P11	P17	P25	P29	GND*	-
VCC	P12	P18	P26	P30	VCC*	-
I/O	P13	P19	P27	P31	L2	218
I/O	P14	P20	P28	P32	L3	221
I/O	P15	P21	P29	P33	L4	224
I/O	-	P22	P30	P34	M1	227
I/O	-	-	P31	P35	M2	230
I/O	-	-	P32	P36	M3	233
I/O	-	-	-	P38	N1	236
I/O	-	-	-	P39	N2	239
VCC	-	-	P33	P40	VCC*	-
I/O	P16	P23	P34	P41	P1	242
I/O	P17	P24	P35	P42	P2	245
I/O	-	P25	P36	P43	R1	248
I/O	-	P26	P37	P44	P3	251
GND	-	P27	P38	P45	GND*	-
I/O	-	-	-	P46	T1	254
I/O	-	-	P39	P47	R3	257
I/O	-	-	P40	P48	T2	260
I/O	-	-	P41	P49	U1	263
I/O	-	-	P42	P50	T3	266
I/O	-	-	P43	P51	U2	269
I/O	P18	P28	P44	P52	V1	272
I/O	P19	P29	P45	P53	T4	275
I/O	-	P30	P46	P54	U3	278
I/O	-	P31	P47	P55	V2	281
I/O	P20	P32	P48	P56	W1	284
I/O, SGCK2	P21	P33	P49	P57	V3	287
Don't Connect	P22	P34	P50	P58	W2	290
GND	P23	P35	P51	P59	GND*	-
MODE	P24	P36	P52	P60	Y1	293
VCC	P25	P37	P53	P61	VCC*	-
Don't Connect	P26	P38	P54	P62	W3	294
I/O, PGCK2	P27	P39	P55	P63	Y2	295
I/O (HDC)	P28	P40	P56	P64	W4	298
I/O	-	P41	P57	P65	V4	301
I/O	-	P42	P58	P66	U5	304
I/O	P29	P43	P59	P67	Y3	307
I/O (LDC)	P30	P44	P60	P68	Y4	310
I/O	-	-	P61	P69	V5	313
I/O	-	-	P62	P70	W5	316
I/O	-	-	P63	P71	Y5	319
I/O	-	-	P64	P72	V6	322
I/O	-	-	P65	P73	W6	325
I/O	-	-	-	P74	Y6	328
GND	-	P45	P66	P75	GND*	-
I/O	-	P46	P67	P76	W7	331
I/O	-	P47	P68	P77	Y7	334
I/O	P31	P48	P69	P78	V8	337
I/O	P32	P49	P70	P79	W8	340
VCC	-	-	P71	P80	VCC*	-
I/O	-	-	P72	P81	Y8	343
I/O	-	-	P73	P82	U9	346
I/O	-	-	-	P84	Y9	349
I/O	-	-	-	P85	W10	352

XCS30 & XCS30XL Pad Name	VQ100	TQ144	PQ208	PQ240	BG256	Bndry Scan
I/O	P33	P50	P74	P86	V10	355
I/O	P34	P51	P75	P87	Y10	358
I/O	P35	P52	P76	P88	Y11	361
I/O (INIT)	P36	P53	P77	P89	W11	364
VCC	P37	P54	P78	P90	VCC*	-
GND	P38	P55	P79	P91	GND*	-
I/O	P39	P56	P80	P92	V11	367
I/O	P40	P57	P81	P93	U11	370
I/O	P41	P58	P82	P94	Y12	373
I/O	P42	P59	P83	P95	W12	376
I/O	-	-	P84	P96	V12	379
I/O	-	-	P85	P97	U12	382
I/O	-	-	-	P99	V13	385
I/O	-	-	-	P100	Y14	388
VCC	-	-	P86	P101	VCC*	-
I/O	P43	P60	P87	P102	Y15	391
I/O	P44	P61	P88	P103	V14	394
I/O	-	P62	P89	P104	W15	397
I/O	-	P63	P90	P105	Y16	400
GND	-	P64	P91	P106	GND*	-
I/O	-	-	-	P107	V15	403
I/O	-	-	P92	P108	W16	406
I/O	-	-	P93	P109	Y17	409
I/O	-	-	P94	P110	V16	412
I/O	-	-	P95	P111	W17	415
I/O	-	-	P96	P112	Y18	418
I/O	P45	P65	P97	P113	U16	421
I/O	P46	P66	P98	P114	V17	424
I/O	-	P67	P99	P115	W18	427
I/O	-	P68	P100	P116	Y19	430
I/O	P47	P69	P101	P117	V18	433
I/O, SGCK3	P48	P70	P102	P118	W19	436
GND	P49	P71	P103	P119	GND*	-
DONE	P50	P72	P104	P120	Y20	-
VCC	P51	P73	P105	P121	VCC*	-
PROGRAM	P52	P74	P106	P122	V19	-
I/O	P53	P75	P107	P123	U19	439
I/O, PGCK3	P54	P76	P108	P124	U18	442
I/O	-	P77	P109	P125	T17	445
I/O	-	P78	P110	P126	V20	448
I/O	-	-	-	P127	U20	451
I/O	-	-	P111	P128	T18	454
I/O	P55	P79	P112	P129	T19	457
I/O	P56	P80	P113	P130	T20	460
I/O	-	-	P114	P131	R18	463
I/O	-	-	P115	P132	R19	466
I/O	-	-	P116	P133	R20	469
I/O	-	-	P117	P134	P18	472
GND	-	P81	P118	P135	GND*	-
I/O	-	-	-	P136	P20	475
I/O	-	-	-	P137	N18	478
I/O	-	P82	P119	P138	N19	481
I/O	-	P83	P120	P139	N20	484
VCC	-	-	P121	P140	VCC*	-
I/O	P57	P84	P122	P141	M17	487
I/O	P58	P85	P123	P142	M18	490

XCS30 & XCS30XL Pad Name	VQ100	TQ144	PQ208	PQ240	BG256	Bndry Scan
I/O	-	-	P124	P144	M20	493
I/O	-	-	P125	P145	L19	496
I/O	P59	P86	P126	P146	L18	499
I/O	P60	P87	P127	P147	L20	502
I/O	P61	P88	P128	P148	K20	505
I/O	P62	P89	P129	P149	K19	508
VCC	P63	P90	P130	P150	VCC*	-
GND	P64	P91	P131	P151	GND*	-
I/O	P65	P92	P132	P152	K18	511
I/O	P66	P93	P133	P153	K17	514
I/O	P67	P94	P134	P154	J20	517
I/O	-	P95	P135	P155	J19	520
I/O	-	-	P136	P156	J18	523
I/O	-	-	P137	P157	J17	526
I/O	P68	P96	P138	P159	H19	529
I/O	P69	P97	P139	P160	H18	532
VCC	-	-	P140	P161	VCC*	-
I/O	-	P98	P141	P162	G19	535
I/O	-	P99	P142	P163	F20	538
I/O	-	-	-	P164	G18	541
I/O	-	-	-	P165	F19	544
GND	-	P100	P143	P166	GND*	-
I/O	-	-	-	P167	F18	547
I/O	-	-	P144	P168	E19	550
I/O	-	-	P145	P169	D20	553
I/O	-	-	P146	P170	E18	556
I/O	-	-	P147	P171	D19	559
I/O	-	-	P148	P172	C20	562
I/O	P70	P101	P149	P173	E17	565
I/O	P71	P102	P150	P174	D18	568
I/O	-	P103	P151	P175	C19	571
I/O	-	P104	P152	P176	B20	574
I/O (DIN)	P72	P105	P153	P177	C18	577
I/O, SGCK4 (DOOUT)	P73	P106	P154	P178	B19	580
CCLK	P74	P107	P155	P179	A20	-
VCC	P75	P108	P156	P180	VCC*	-
O, TDO	P76	P109	P157	P181	A19	0
GND	P77	P110	P158	P182	GND*	-
I/O	P78	P111	P159	P183	B18	2
I/O, PGCK4	P79	P112	P160	P184	B17	5
I/O	-	P113	P161	P185	C17	8
I/O	-	P114	P162	P186	D16	11
I/O	P80	P115	P163	P187	A18	14
I/O	P81	P116	P164	P188	A17	17
I/O	-	-	P165	P189	C16	20

XCS30 & XCS30XL Pad Name	VQ100	TQ144	PQ208	PQ240	BG256	Bndry Scan	
I/O	-	-	-	P190	B16	23	
I/O	-	-	P117	P166	P191	A16	26
I/O	-	-	P167	P192	C15	29	
I/O	-	-	P168	P193	B15	32	
I/O	-	-	P169	P194	A15	35	
GND	-	P118	P170	P196	GND*	-	
I/O	-	P119	P171	P197	B14	38	
I/O	-	P120	P172	P198	A14	41	
I/O	-	-	-	P199	C13	44	
I/O	-	-	-	P200	B13	47	
VCC	-	-	P173	P201	VCC*	-	
I/O	P82	P121	P174	P202	C12	50	
I/O	P83	P122	P175	P203	B12	53	
I/O	-	-	P176	P205	A12	56	
I/O	-	-	P177	P206	B11	59	
I/O	P84	P123	P178	P207	C11	62	
I/O	P85	P124	P179	P208	A11	65	
I/O	P86	P125	P180	P209	A10	68	
I/O	P87	P126	P181	P210	B10	71	
GND	P88	P127	P182	P211	GND*	-	

1/30/98

GND* または VCC* とラベル表示されているパッドは、パッケージ内部でグラウンドプレーンまたは VCC プレーンにボンディングされています。これらはパッケージピンに対して直接接続されていません。

その他の XCS30/XL パッケージピン

PQ240

GND Pins					
P22	P37	P83	P98	P143	P158
P204	P219	-	-	-	-
Not Connected Pins					
P195	-	-	-	-	-

2/12/98

BG256

VCC Pins					
C14	D6	D7	D11	D14	D15
E20	F1	F4	F17	G4	G17
K4	L17	P4	P17	P19	R2
R4	R17	U6	U7	U10	U14
U15	V7	W20	-	-	-
GND Pins					
A1	B7	D4	D8	D13	D17
G20	H4	H17	N3	N4	N17
U4	U8	U13	U17	W14	-
Not Connected Pins					
A7	A13	C8	D12	H20	J3
J4	M4	M19	V9	W9	W13
Y13	-	-	-	-	-

6/4/97

XCS40 デバイスおよび XCS40XL デバイスのピン配置

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bndry Scan
VCC	P183	P212	VCC*	-
I/O	P184	P213	C10	86
I/O	P185	P214	D10	89
I/O	P186	P215	A9	92

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bndry Scan
I/O	P187	P216	B9	95
I/O	P188	P217	C9	98
I/O	P189	P218	D9	101
I/O	P190	P220	A8	104

Spartan および Spartan-XL ファミリー フィールド プログラマブル ゲートアレイ

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bndry Scan
I/O	P191	P221	B8	107
I/O	-	-	C8	110
I/O	-	-	A7	113
VCC	P192	P222	VCC*	-
I/O	-	P223	A6	116
I/O	-	P224	C7	119
I/O	P193	P225	B6	122
I/O	P194	P226	A5	125
GND	P195	P227	GND*	-
I/O	P196	P228	C6	128
I/O	P197	P229	B5	131
I/O	P198	P230	A4	134
I/O	P199	P231	C5	137
I/O	P200	P232	B4	140
I/O	P201	P233	A3	143
I/O	P202	P234	D5	152
I/O	P203	P235	C4	155
I/O	P204	P236	B3	158
I/O	P205	P237	B2	161
I/O	P206	P238	A2	164
I/O, SGCK1	P207	P239	C3	167
VCC	P208	P240	VCC*	-
GND	P1	P1	GND*	-
I/O, PGCK1	P2	P2	B1	170
I/O	P3	P3	C2	173
I/O	P4	P4	D2	176
I/O	P5	P5	D3	179
I/O, TDI	P6	P6	E4	182
I/O, TCK	P7	P7	C1	185
I/O	P8	P8	D1	194
I/O	P9	P9	E3	197
I/O	P10	P10	E2	200
I/O	P11	P11	E1	203
I/O	P12	P12	F3	206
I/O	-	P13	F2	209
GND	P13	P14	GND*	-
I/O	P14	P15	G3	212
I/O	P15	P16	G2	215
I/O, TMS	P16	P17	G1	218
I/O	P17	P18	H3	221
VCC	P18	P19	VCC*	-
I/O	-	P20	H2	224
I/O	-	P21	H1	227
I/O	-	-	J4	230
I/O	-	-	J3	233
I/O	P19	P23	J2	236
I/O	P20	P24	J1	239
I/O	P21	P25	K2	242
I/O	P22	P26	K3	245
I/O	P23	P27	K1	248
I/O	P24	P28	L1	251
GND	P25	P29	GND*	-
VCC	P26	P30	VCC*	-
I/O	P27	P31	L2	254
I/O	P28	P32	L3	257
I/O	P29	P33	L4	260

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bndry Scan
I/O	P30	P34	M1	263
I/O	P31	P35	M2	266
I/O	P32	P36	M3	269
I/O	-	-	M4	272
I/O	-	P38	N1	278
I/O	-	P39	N2	281
VCC	P33	P40	VCC*	-
I/O	P34	P41	P1	284
I/O	P35	P42	P2	287
I/O	P36	P43	R1	290
I/O	P37	P44	P3	293
GND	P38	P45	GND*	-
I/O	-	P46	T1	296
I/O	P39	P47	R3	299
I/O	P40	P48	T2	302
I/O	P41	P49	U1	305
I/O	P42	P50	T3	308
I/O	P43	P51	U2	311
I/O	P44	P52	V1	320
I/O	P45	P53	T4	323
I/O	P46	P54	U3	326
I/O	P47	P55	V2	329
I/O	P48	P56	W1	332
I/O, SGCK2	P49	P57	V3	335
Don't Connect	P50	P58	W2	338
GND	P51	P59	GND*	-
MODE	P52	P60	Y1	341
VCC	P53	P61	VCC*	-
Don't Connect	P54	P62	W3	342
I/O, PGCK2	P55	P63	Y2	343
I/O (HDC)	P56	P64	W4	346
I/O	P57	P65	V4	349
I/O	P58	P66	U5	352
I/O	P59	P67	Y3	355
I/O (LDC)	P60	P68	Y4	358
I/O	P61	P69	V5	367
I/O	P62	P70	W5	370
I/O	P63	P71	Y5	373
I/O	P64	P72	V6	376
I/O	P65	P73	W6	379
I/O	-	P74	Y6	382
GND	P66	P75	GND*	-
I/O	P67	P76	W7	385
I/O	P68	P77	Y7	388
I/O	P69	P78	V8	391
I/O	P70	P79	W8	394
VCC	P71	P80	VCC*	-
I/O	P72	P81	Y8	397
I/O	P73	P82	U9	400
I/O	-	-	V9	403
I/O	-	-	W9	406
I/O	-	P84	Y9	409
I/O	-	P85	W10	412
I/O	P74	P86	V10	415
I/O	P75	P87	Y10	418
I/O	P76	P88	Y11	421

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bndry Scan
I/O (INIT)	P77	P89	W11	424
VCC	P78	P90	VCC*	-
GND	P79	P91	GND*	-
I/O	P80	P92	V11	427
I/O	P81	P93	U11	430
I/O	P82	P94	Y12	433
I/O	P83	P95	W12	436
I/O	P84	P96	V12	439
I/O	P85	P97	U12	442
I/O	-	-	Y13	445
I/O	-	-	W13	448
I/O	-	P99	V13	451
I/O	-	P100	Y14	454
VCC	P86	P101	VCC*	-
I/O	P87	P102	Y15	457
I/O	P88	P103	V14	460
I/O	P89	P104	W15	463
I/O	P90	P105	Y16	466
GND	P91	P106	GND*	-
I/O	-	P107	V15	469
I/O	P92	P108	W16	472
I/O	P93	P109	Y17	475
I/O	P94	P110	V16	478
I/O	P95	P111	W17	481
I/O	P96	P112	Y18	484
I/O	P97	P113	U16	493
I/O	P98	P114	V17	496
I/O	P99	P115	W18	499
I/O	P100	P116	Y19	502
I/O	P101	P117	V18	505
I/O, SGCK3	P102	P118	W19	508
GND	P103	P119	GND*	-
DONE	P104	P120	Y20	-
VCC	P105	P121	VCC*	-
PROGRAM	P106	P122	V19	-
I/O	P107	P123	U19	511
I/O, PGCK3	P108	P124	U18	514
I/O	P109	P125	T17	517
I/O	P110	P126	V20	520
I/O	-	P127	U20	523
I/O	P111	P128	T18	526
I/O	P112	P129	T19	535
I/O	P113	P130	T20	538
I/O	P114	P131	R18	541
I/O	P115	P132	R19	544
I/O	P116	P133	R20	547
I/O	P117	P134	P18	550
GND	P118	P135	GND*	-
I/O	-	P136	P20	553
I/O	-	P137	N18	556
I/O	P119	P138	N19	559
I/O	P120	P139	N20	562
VCC	P121	P140	VCC*	-
I/O	P122	P141	M17	565
I/O	P123	P142	M18	568
I/O	-	-	M19	574

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bndry Scan
I/O	P124	P144	M20	577
I/O	P125	P145	L19	580
I/O	P126	P146	L18	583
I/O	P127	P147	L20	586
I/O	P128	P148	K20	589
I/O	P129	P149	K19	592
VCC	P130	P150	VCC*	-
GND	P131	P151	GND*	-
I/O	P132	P152	K18	595
I/O	P133	P153	K17	598
I/O	P134	P154	J20	601
I/O	P135	P155	J19	604
I/O	P136	P156	J18	607
I/O	P137	P157	J17	610
I/O	-	-	H20	613
I/O	P138	P159	H19	619
I/O	P139	P160	H18	622
VCC	P140	P161	VCC*	-
I/O	P141	P162	G19	625
I/O	P142	P163	F20	628
I/O	-	P164	G18	631
I/O	-	P165	F19	634
GND	P143	P166	GND*	-
I/O	-	P167	F18	637
I/O	P144	P168	E19	640
I/O	P145	P169	D20	643
I/O	P146	P170	E18	646
I/O	P147	P171	D19	649
I/O	P148	P172	C20	652
I/O	P149	P173	E17	655
I/O	P150	P174	D18	658
I/O	P151	P175	C19	667
I/O	P152	P176	B20	670
I/O (DIN)	P153	P177	C18	673
I/O, SGCK4 (DOUT)	P154	P178	B19	676
CCLK	P155	P179	A20	-
VCC	P156	P180	VCC*	-
O, TDO	P157	P181	A19	0
GND	P158	P182	GND*	-
I/O	P159	P183	B18	2
I/O, PGCK4	P160	P184	B17	5
I/O	P161	P185	C17	8
I/O	P162	P186	D16	11
I/O	P163	P187	A18	14
I/O	P164	P188	A17	17
I/O	P165	P189	C16	26
I/O	-	P190	B16	29
I/O	P166	P191	A16	32
I/O	P167	P192	C15	35
I/O	P168	P193	B15	38
I/O	P169	P194	A15	41
GND	P170	P196	GND*	-
I/O	P171	P197	B14	44
I/O	P172	P198	A14	47
I/O	-	P199	C13	50

XCS40 & XCS40XL Pad Name	PQ208	PQ240	BG256	Bdry Scan
I/O	-	P200	B13	53
VCC	P173	P201	VCC*	-
I/O	-	-	A13	56
I/O	-	-	D12	59
I/O	P174	P202	C12	62
I/O	P175	P203	B12	65
I/O	P176	P205	A12	68
I/O	P177	P206	B11	71
I/O	P178	P207	C11	74
I/O	P179	P208	A11	77
I/O	P180	P209	A10	80
I/O	P181	P210	B10	83
GND	P182	P211	GND*	-

10/23/97

* GND*とVCC*と表示されたパッドはパッケージ内部でグランドプレーン
またはVCCプレーンにボンディングされています。

その他の XCS40/XL パッケージ ピン

PQ240

GND Pins					
P22	P37	P83	P98	P143	P158
P204	P219	-	-	-	-
Not Connected Pins					
P195	-	-	-	-	-

2/12/98

BG256

VCC Pins					
C14	D6	D7	D11	D14	D15
E20	F1	F4	F17	G4	G17
K4	L17	P4	P17	P19	R2
R4	R17	U6	U7	U10	U14
U15	V7	W20	-	-	-
GND Pins					
A1	B7	D4	D8	D13	D17
G20	H4	H17	N3	N4	N17
U4	U8	U13	U17	W14	-

6/17/97

ユーザ I/O 数

表 17 : Spartan シリーズ FPGA の使用可能なユーザ I/O 数

Device	Max I/O	Package Type					
		PC84	VQ100	TQ144	PQ208	PQ240	BG256
XCS05	80	61	77				
XCS10	112	61	77	112			
XCS20	160		77	113	160		
XCS30	192		77	113	169	192	192
XCS40	224				169	193	205
XCS05XL	80	61	77				
XCS10XL	112	61	77	112			
XCS20XL	160		77	113	160		
XCS30XL	192		77	113	169	192	192
XCS40XL	224				169	193	205

9/24/97

注文コード様式

